

输入电压及工频: V_{ACMIN} (V)、 V_{ACNOM} (V)、 V_{ACMAX} (V)、 F_L (Hz)

根据表1确定输入电压范围和工频。

| 地区 | 额定输入电压 (VAC) | 最小输入电压 (VAC) | 最大输入电压 (VAC) | 额定工频 (Hz) |
|-------------------------------|---------------|--------------|--------------|-----------|
| 日本 | 100 | 85 | 132 | 50 / 60 |
| 美国、加拿大 | 120 | 90 | 132 | 60 |
| 澳大利亚、中国、欧盟国家、印度、韩国、马来西亚、俄罗斯 | 230 | 185 | 265 | 50 |
| 印度尼西亚、泰国、越南 | 220 | 185 | 265 | 50 |
| 欧洲、亚洲和美洲其他国家和地区； 世界其他国家和地区 | 115, 120, 127 | 90 | 155 | 50 / 60 |
| | 220, 230 | 185 | 265 | 50 / 60 |
| | 240 | 185 | 265 | 50 |

请访问: https://en.wikipedia.org/wiki/Mains_electricity_by_country

表1. 输入电压范围及工频

根据表2选择大容量电容。推荐的电压额定值根据 V_{CIN} 得出。

| 输入电压 (VAC) | 每瓦特输出功率应使用的输入电容量($\mu F/W$) |
|------------|-------------------------------|
| 100 / 115 | 1至1.5 |
| 230 | 0.5至1 |
| 85 - 265 | 1至1.5 |

表2. 建议的大容量电容

额定输出电压, V_O (V)

在恒压工作区域, 输入电源主输出的额定输出电压。建议该值至少比最大LED电压高3 V。

输出电流, I_O (A)

输入最大连续LED负载电流。

输出功率, P_O (W)

该值根据输出电压及电流计算得出。

估计效率, η

默认值为88%。完成原型后, 立即根据实测效率更新该值, 并微调元件。

损耗分配因子, Z

此因子表示电源初级侧及次级侧损耗所占的比例。 Z 因子与效率值一起决定功率级必须处理的实际功率。例如, 功率级(通过变压器传输)不会处理在输入级(EMI滤波器、整流电路等)的损耗。因此, 尽管输入级的损耗降低了效率, 但不会影响变压器的设计。

如果设计没有峰值功率要求, 则建议该参数取值0.5。如果设计有峰值功率要求, 则取值0.65。值越大, 次级侧损耗所占比例就越大。

$$Z = \frac{\text{次级损耗}}{\text{总损耗}}$$

第2步 – 参数计算基础

选择: PARcalcBASIS、Flyback_Ind_Basis、Boost_Ind_Basis

| 1 | ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018 | 输入 | 信息 | 输出 | 单位 | 开关填充式单级 PFC (SVFS^2PFC) |
|----|--|------------|----|------------|----|--|
| 15 | 计算基础 | | | | | |
| 16 | PARcalcBASIS | Worst_Case | | Worst_Case | | 根据所选的VAC - VACNOM, VACMAX, VACMIN 或仅最差情况计算出的结果 |
| 17 | Flyback_Ind_Basis | Nom | | Nom | | 根据所选的LP - Min = LP_MIN、Nom = LP_NOM、Max = LP_MAX计算出的结果 |
| 18 | Boost_Ind_Basis | Nom | | Nom | | 根据所选的LBOOST - Min = LBOOSTMIN、Nom = LBOOSTNOM、Max = LBOOSTMAX 计算出的结果 |

图4. 设计表格中的参数计算基础部分

| 1 | ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018 | 输入 | 信息 | 输出 | 单位 | 开关填充式单级 PFC (SVFS^2PFC) |
|----|--|----|----|---------|----|-------------------------|
| 30 | 根据指定基础计算出的电气参数 | | | | | |
| 31 | 升压变换器 | | | | | |
| 32 | IBOOSTRMS | | | 439.72 | mA | 升压RMS电流 |
| 33 | IBOOSTMAX | | | 1092.16 | mA | 升压PEAK电流 |
| 34 | IBOOSTAVG | | | 313.88 | mA | 升压AVG电流 |
| 35 | IINRMS | | | 673.27 | mA | 输入RMS电流 |
| 36 | PF_est | | | 0.7524 | | 估计功率因数 |

图5. 设计表格中的计算电气参数部分

参数计算基础, PARcalcBASIS

此参数提供有关设定输入电压下变换器的电气参数信息。它影响升压电流、FET电流、反激式变压器电流（RMS、最大值和平均值）的值，以及估计功率因数和 K_p 。

建议选择‘Worst_Case’值，以便确认 K_p 和 FS_{MAX} 等关键参数在最差条件下均能处于可接受的限值内。

反激电感基础, Flyback_Ind_Basis

选择将用于计算的反激电感公差。该值默认设置为额定值(Nom)。

升压电感基础, Boost_Ind_Basis

选择将用于计算的升压电感公差。该值默认设置为额定值(Nom)。

PF估计值, PF_est

如果采用最差条件输入电压和元件公差进行计算，估计功率因数PF_est可能会比较低。除非需要保证处于最小输入电压下的功率因数，否则建议在估计功率因数时使用VACNOM进行计算并在原型测试时验证实际值。

第3步 – 初级控制器部分

输入：器件名称、电流限流模式、击穿电压

| 1 | ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018 | 输入 | 信息 | 输出 | 单位 | 开关填充式单级 PFC (SVFS ² PFC) |
|----|--|----------|----|----------|-----|-------------------------------------|
| 19 | 初级控制器部分 | | | | | |
| 20 | DEVICE_MODE | 增大 | | 增大 | | 器件电流限流模式 |
| 21 | DEVNAME | LYT6068C | | LYT6068C | | PI器件名称 |
| 22 | RDSON | | | 1.53 | Ohm | 100 °C下的器件RDSON |
| 23 | ILIMITMIN | | | 1.683 | A | 最小电流限流点 |
| 24 | ILIMITTYP | | | 1.850 | A | 典型电流限流点 |
| 25 | ILIMITMAX | | | 2.017 | A | 最大电流限流点 |
| 26 | POUT_MAX | | | 55.000 | W | 器件基于热性能的功率能力 |
| 27 | BVDSS | 自动 | | 650 | V | 漏-源极峰值击穿电压 |
| 28 | VDS | | | 2.00 | V | 导通状态漏-源极电压 |
| 29 | VDRAIN | | | 544.77 | V | Fet关断时漏-源极峰值电压 |

图6. 设计表格中的参数计算基础部分

器件电流限流模式, DEVICE_MODE

器件有两个电流限流点选项 – STANDARD (标准) 或 INCREASED (升高)。默认情况下, DEVICE_MODE 设置为 STANDARD (标准)。对于将实现最低成本作为关键要求的设计而言, 选择 INCREASED (升高) 电流限流模式可使同一器件以更大的功率工作。确保热性能处于可接受的水平。

器件代码, DEVNAME

LYTSwitch-6 数据手册中的功率表基于非PF配置提供。添加 VFS²PFC 电路后, 在选择 LYTSwitch-6 器件以实现最佳效率和优化热管理时, 建议采用 20% 的功率降额。

击穿电压选择, BV_{DSS} (V)

LYTSwitch-6 IC 提供 650 V 或 725 V 初级开关选项。例如, LYT6063C 是一款 650 V MOSFET 器件, LYT6073C 是一款 725 VMOSFET 器件。

此选项只有在器件代码 DEVNAME 设置为 AUTO (自动) 时才适用。

| 产品 | 277 VAC ± 15% | 85-305 VAC | 380 VDC / 450 VDC |
|------------------|--------------------------------------|------------|-------------------|
| | 采用 SVFS ² PFC 电路时的建议功率额定值 | | |
| LYT6063C / 6073C | 12 W | 9.6 W | 20 W |
| LYT6065C / 6075C | 24 W | 20 W | 32 W |
| LYT6067C / 6077C | 40 W | 36 W | 48 W |
| LYT6068C | 55 W | 45 W | |

表3. 基于 SVFS²PFC 级工作模式的器件选择

第4步 – 输入最小开关频率

| 1 | ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018 | 输入 | 信息 | 输出 | 单位 | 开关模谷式单级 PFC (SVFS^2PFC) |
|----|--|-------|----|-----------|----|--------------------------------------|
| 37 | 反激式变换器 | | | | | |
| 38 | FSMIN | 45000 | | 45000 | Hz | 1个工频周期内的最小开关频率 |
| 39 | FSMAX | | | 108744.24 | Hz | 1个工频周期内的最大开关频率 |
| 40 | KPmin | | | 0.5187 | | 1个工频周期内的最小KP (PARcalcBASIS指定的VAC) |
| 41 | IFETRMS | | | 803.16 | mA | Fet RMS电流 |
| 42 | IFETMAX | | | 1864.84 | mA | Fet峰值电流 |
| 43 | IPRIRMS | | | 0.6058 | A | 初级绕组RMS电流 |
| 44 | IPRIMAX | | | 1.6647 | A | 初级绕组峰值电流 |
| 45 | IPRIAVG | | | 0.2479 | A | 初级绕组平均电流 |
| 46 | IPRIMIN | | | 929.59 | mA | 初级绕组最小电流 |
| 47 | ISECRMS | | | 1.69 | A | 次级RMS电流 |
| 48 | ISECMAX | | | 4.31 | A | 次级峰值电流 |

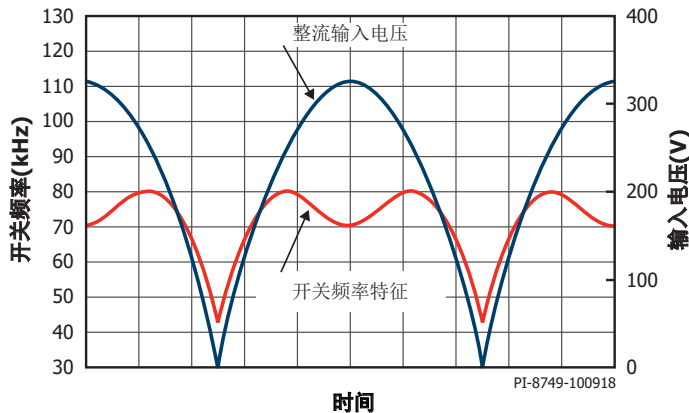
图7. 设计表格中的反激式变换器部分

最小开关频率, FSMIN (Hz)

图8所示为典型的LYTSwitch-6 + SVFS²PFC开关特征曲线。最小频率在过零点出现, 并且随着输入电压升高而增大。在半个工作周期中, 该特征曲线类似于M形。建议将FSMIN设置在50 kHz以下, 最大程度降低开关损耗。FSMAX出现警告标志时调整FSMIN。

最大开关频率, FSMAX (Hz)

此参数是基于所选FSMIN和参数计算结果计算得出的最大工频。理想情况下, FSMAX应 < 100 kHz, 以降低开关损耗。允许使用更高的频率, 但是应当通过基准测试验证调整率、效率和热性能。

图8. LYTSwitch-6 + SVFS²PFC开关特征曲线 (模拟)

工作模式, KP

KP是用来衡量是非连续开关还是连续开关的参数。KP > 1表示非连续导通模式(DCM), KP < 1表示连续导通模式(CCM)。

KP < 1

在连续导通模式(CCM)中, KP是纹波电流与初级峰值电流的比值。

$$KP \equiv KRP = \frac{I_R}{I_P}$$

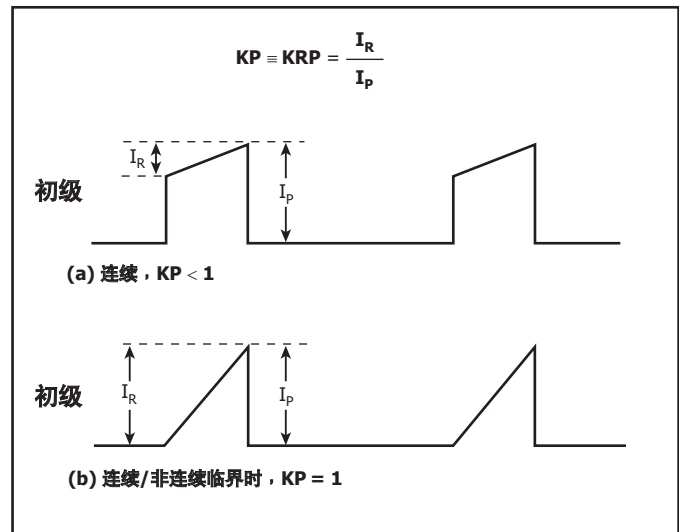


图9. 连续导通模式初级电流波形, KP < 1

KP > 1

如果 $KP > 1$ ，则表示变换器处于非连续导通模式(DCM)。此时， KP 是初级MOSFET关断时间与次级整流管导通时间的比值。

$$KP \equiv KDP = \frac{(1-D) \times T}{t} \\ = \frac{V_{OR} \times (1-D_{MAX})}{(V_{MIN} - V_{DS}) \times D_{MAX}}$$

最小KP, KP_{MIN}

KP_{MIN} 根据所选的参数提供有关最小工作 KP 的信息。

值 > 1 时是较为理想的情况，通常会产生最高效率。但是，对于通用输入大功率设计而言， $KP < 1$ 可能无法避免。在最差条件下验证 KP_{MIN} ，使 KP_{MIN} 达到0.5以上。连续操作越多，PFC电感处于连续导通模式(CCM)的可能性就越大。为确保正常工作，PFC电感需要处于非连续导通模式(DCM)，因此，如果 KP_{MIN} 过低，将会强制减小升压电感与反激电感的比值(RATIO_LBST_LFB)，而这会导致效率下降。

为增大 KP_{MIN} ：

- 使用INCREASED（升高）电流限流点
- 使用型号更大的器件
- 提高 V_{OR}
- 增加大容量电容

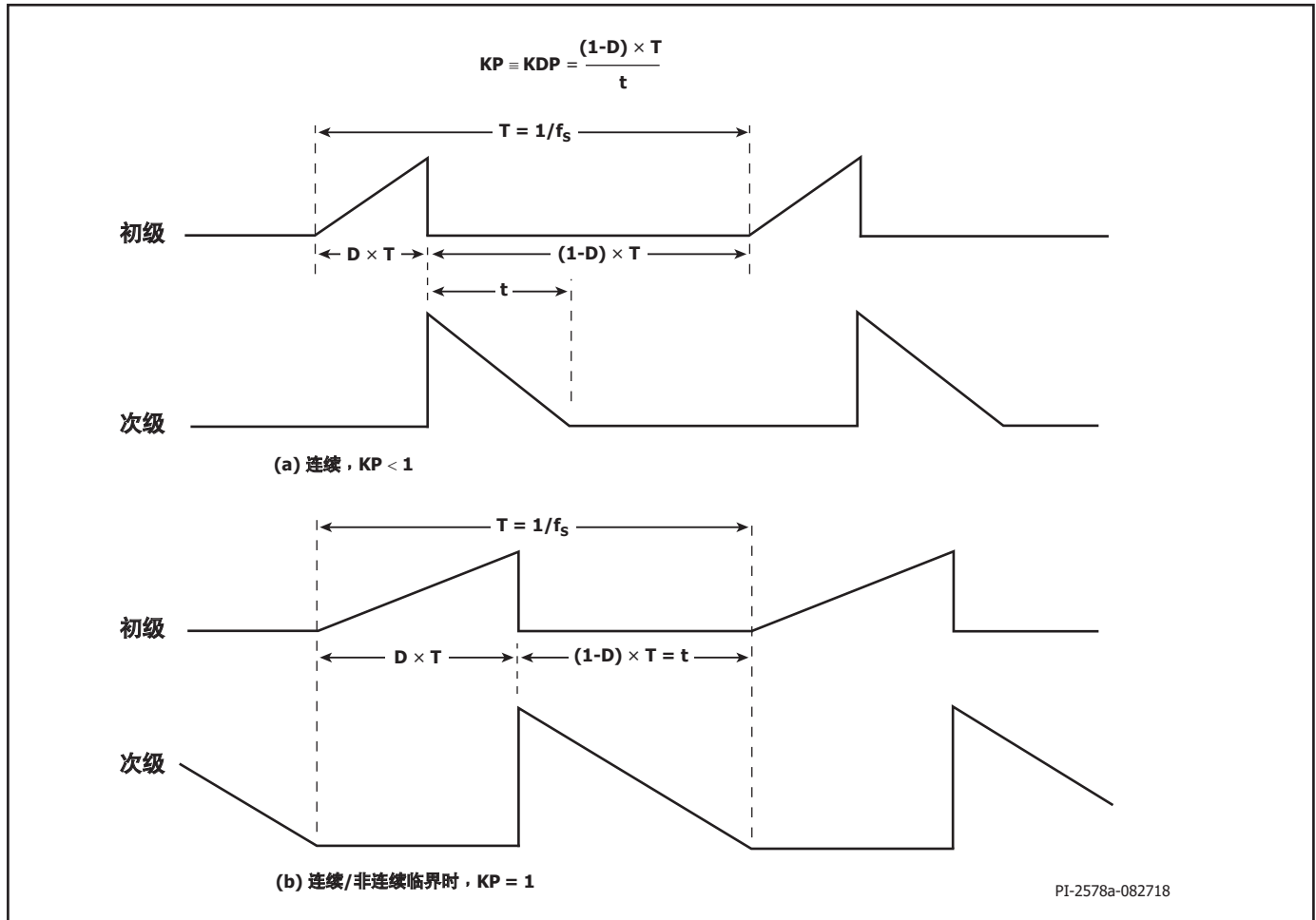


图10. 非连续导通模式电流波形, $K_p > 1$

第5步 – PFC (升压) 参数

输入: **RATIO_LBST_LFB**、**LBOOSTTOL**

| 1 | ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018 | 输入 | 信息 | 输出 | 单位 | 开关模谷式单级 PFC (SVFS^2PFC) |
|----|--|-----|----|--------|----|-------------------------|
| 49 | 升压扼流圈结构参数 | | | | | |
| 50 | RATIO_LBST_LFB | 0.8 | | 0.8000 | | 升压电感与反激初级电感的比值 |
| 51 | LBOOSTMIN | | | 512.07 | μH | 最小升压电感量 |
| 52 | LBOOSTNOM | | | 568.96 | μH | 额定升压电感量 |
| 53 | LBOOSTMAX | | | 625.86 | μH | 最大升压电感量 |
| 54 | LBOOSTTOL | | | 10.00 | % | 升压电感公差 |

图11. 设计表格中的PFC (升压) 电感部分

升压电感与反激初级电感的比值, **RATIO_LBST_LFB**

所选的FSMIN决定了要求的反激初级电感。PFC (升压) 电感由RATIO_LBST_LFB单元格中的值决定, 该值是升压电感(LBOOST_NOM)与反激电感(LP_NOM)之间的比值。

$$RATIO_LBST_LFB = \frac{LBOOSTNOM}{LPNOM}$$

低输入电压和通用输入电压的默认值为0.8。对于高输入电压, 默认值为1。比值较低时, 可增大功率因数 (见图12), 但会降低效率 (见图13)。表4汇总了选择较低比值时的优势和劣势。

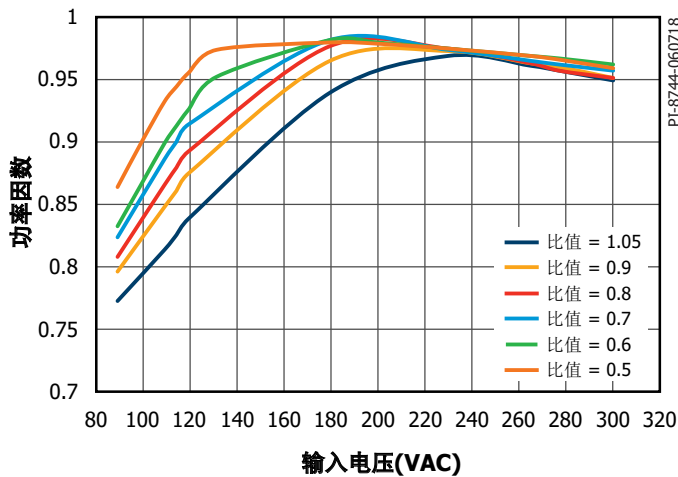


图12. 功率因数相对于RATIO_LBST_LFB的变化

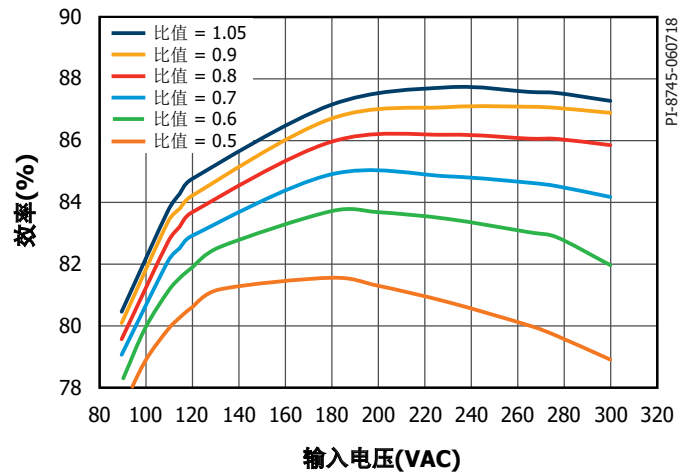


图13. 效率相对于RATIO_LBST_LFB的变化

使用较小的RATIO_LBST_LFB值
对各种参数的影响

| 参数 | 影响 |
|----------|----|
| 功率因数 | 较高 |
| 效率 | 较低 |
| A-THD | 较低 |
| 空载输入功率 | 较高 |
| 空载体电压 | 较高 |
| 最大工作开关频率 | 较高 |

表4. 使用较小的RATIO_LBST_LFB值对各种参数的影响

额定升压电感, **LBOOST_NOM**

此参数为典型升压电感的目标值。该值的大小取决于RATIO_LBST_LFB和反激电感。升压电感应处于非连续导通模式(DCM)。

升压电感公差, **LBOOST_TOL**

此参数为假设的升压电感公差。默认取值10%, 可以在灰色单元格中输入不同的值。大部分磁芯供应商都可以轻松满足10%的公差值, 但更低的值有助于增加生产公差。

第6步 – 升压电感设计

输入：升压参数 (AE、LE、AL、VE、AW、BW、NBOOST、L_BOOST、AWG_BOOST)

| 1 | ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018 | 输入 | 信息 | 输出 | 单位 | 开关填充式单级 PFC (SVFS^2PFC) |
|----|--|----|----|------------|------------|-------------------------|
| 56 | CR_TYPE_BOOST | 自动 | | EE13 | | 升压磁芯 |
| 57 | CR_PN_BOOST | | | PC40EE13-Z | | 升压磁芯代码 |
| 58 | AE_BOOST | | | 17.10 | mm^2 | 升压磁芯截面积 |
| 59 | LE_BOOST | | | 30.20 | mm | 升压磁芯等效路径长度 |
| 60 | AL_BOOST | | | 1130.00 | nH/turns^2 | 升压磁芯无气隙磁芯等效电感量 |
| 61 | VE_BOOST | | | 517.00 | mm^3 | 升压磁芯体积 |
| 62 | BOBBINID_BOOST | | | 548 | | 骨架 |
| 63 | AW_BOOST | | | 22.20 | mm^2 | 骨架窗口面积 |
| 64 | BW_BOOST | | | 7.40 | mm | 骨架宽度 |
| 65 | MARGIN_BOOST | | | 0.00 | mm | 安全边距宽度 |
| 66 | BOBFILLFACTOR_Boost | | | 84.21 | % | 升压骨架填充因子 |
| 67 | 升压绕组详情 | | | | | |
| 68 | NBOOST | | | 107.00 | | 升压扼流圈圈数 |
| 69 | BP_BOOST | | | 3735.79 | Gauss | 升压峰值磁通密度 |
| 70 | ALG_BOOST | | | 49.70 | nH/turns^2 | 升压磁芯无气隙磁芯等效电感量 |
| 71 | LG_BOOST | | | 0.41 | mm | 升压磁芯气隙长度 |
| 72 | L_BOOST | | | 6.50 | | 升压层数 |
| 73 | AWG_BOOST | | | 27 | | 升压绕组导线规格(AWG) |
| 74 | OD_BOOST_INSULATED | | | 0.418 | mm | 带绝缘层的升压绕组导线外径 |
| 75 | OD_BOOST_BARE | | | 0.361 | mm | 不带绝缘层的升压绕组导线外径 |
| 76 | CMA_BOOST | | | 471.92 | Cmil/A | 升压绕组导线CMA |

图14. 设计表格中的升压电感结构部分

升压电感的磁芯类型，CR_TYPE_BOOST

默认情况下，设计表格将选择最小且适合指定输出功率的常用磁芯。从下拉列表中可选择不同的磁芯类型和尺寸，如果用户偏好的磁芯不可用，可使用灰色单元格 (AE_BOOST、LE_BOOST、AL_BOOST、VE_BOOST、AW_BOOST及BW_BOOST) 直接输入磁芯和骨架参数。

表5提供基于输出功率的磁芯选择指南。可以使用市售鼓状磁芯电感，但建议使用屏蔽型以便降低EMI辐射。

升压电感圈数，NBOOST

此参数是根据所要求的升压电感计算出的升压绕组圈数。

升压层数，L_BOOST；升压绕组线规，AWG_BOOST

用户可以设置升压层数L_BOOST或AWG_BOOST，以便优化骨架填充BOBFILLFACTOR_Boost和绕组电流容量CMA_BOOST（建议使用介于200至500 Cmil/A的值）。

| 输出功率 (75 kHz) | 磁芯和骨架表 | | | | | | | | |
|------------------|--------|------------|--------------------------|------------|----------------------------|--------------------------|-----------|--------------------------|------------|
| | 磁芯 | 代码 | 磁芯 | | | | 骨架 | | |
| | | | AE (mm ²) | LE (mm) | AL (nH/T ²) | VE (mm ³) | 代码 | AW (mm ²) | BW (mm) |
| < 15 W | EE8.3 | B-EE8-H | 7.0 | 19.2 | 610 | 154 | B-EE8.3-H | 6.96 | 4.78 |
| 15 W – 30 W | EE10 | PC47EE10-Z | 12.1 | 26.1 | 850 | 300 | B-EE10-H | 12.21 | 6.60 |
| 30 W – 45 W | EE13 | PC47EE13-Z | 17.1 | 30.2 | 1130 | 517 | B-EE13-H | 18.43 | 7.60 |
| > 45 W | EE16 | PC47EE16-Z | 19.2 | 35.0 | 1140 | 795 | B-EE16-H | 14.76 | 8.50 |

表5. 常用的磁芯以及这些磁芯可用于典型升压电感设计的输出功率水平

第7步 – 设计反激式变压器

输入：VOR、磁芯参数、L、AWG、NS

| 1 | ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018 | 输入 | 信息 | 输出 | 单位 | 开关填充式单级 PFC (SVFS^2PFC) |
|-----|--|---------|----|-------------------|------------|-------------------------|
| 77 | 反激式变压器结构参数 | | | | | |
| 78 | VOR | 100.00 | | 100.00 | V | 初级绕组的整流次级电压 |
| 79 | LP_MIN | | | 640.08 | μH | 最小反激电感量 |
| 80 | LP_NOM | | | 711.20 | μH | 额定反激电感量 |
| 81 | LP_MAX | | | 782.33 | μH | 最大反激电感量 |
| 82 | LP_TOL | | | 10.00 | % | 反激电感公差 |
| 83 | 反激式变压器磁芯及骨架的选择 | | | | | |
| 84 | CR_TYPE | PQ26/20 | | PQ26/20 | | 反激磁芯 |
| 85 | CR_PN | | | PQ26/20-3F3 | | 反激磁芯代码 |
| 86 | AE | | | 121.00 | mm^2 | 反激磁芯截面积 |
| 87 | LE | | | 45.00 | mm | 反激磁芯等效路径长度 |
| 88 | AL | | | 5200.00 | nH/turns^2 | 反激磁芯无气隙磁芯等效电感量 |
| 89 | VE | | | 5470.00 | mm^3 | 反激磁芯体积 |
| 90 | BOBBINID | | | BPQ26/20-1112CPFR | | 反激骨架 |
| 91 | AW | | | 31.10 | mm^2 | 反激骨架窗口面积 |
| 92 | BW | | | 9.00 | mm | 反激骨架宽度 |
| 93 | MARGIN | | | 0.00 | mm | 安全边距宽度 |
| 94 | BOBFILLFACTOR | | | 58.69 | % | 反激骨架填充因子 |
| 95 | 反激式绕组详情 | | | | | |
| 96 | NP | | | 37.00 | | 初级圈数 |
| 97 | BP | | | 3630.38 | Gauss | 反激峰值磁通密度 |
| 98 | BM | | | 3484.88 | Gauss | 反激最大磁通密度 |
| 99 | BAC | | | 1408.39 | Gauss | 反激交流磁通密度 |
| 100 | ALG | | | 519.51 | nH/turns^2 | 反激磁芯无气隙磁芯等效电感量 |
| 101 | LG | | | 0.26 | mm | 反激磁芯气隙长度 |
| 102 | L | | | 2.00 | | 反激层数 |
| 103 | AWG | | | 26 | | 初级绕组导线规格(AWG) |
| 104 | OD | | | 0.465 | mm | 带绝缘层的初级绕组导线外径 |
| 105 | DIA | | | 0.405 | mm | 不带绝缘层的初级绕组导线外径 |
| 106 | CMA | | | 467.83 | Cmil/A | 初级绕组导线CMA |
| 107 | NB | | | 5.00 | | 偏置绕组圈数 |
| 108 | AWGpBias | | | 32 | | 偏置绕组导线规格(AWG) |
| 109 | NS | | | 15.00 | | 次级圈数 |
| 110 | AWGS | | | 25 | | 次级绕组导线规格(AWG) |
| 111 | ODS | | | 0.760 | mm | 带绝缘层的次级绕组导线外径 |
| 112 | DIAS | | | 0.455 | mm | 不带绝缘层的次级绕组导线外径 |
| 113 | CMAS | | | 200.71 | Cmil/A | 次级绕组导线CMA |

图15. 设计表格中的反激式变换器结构部分

反射输出电压, VOR

反射电压为输出二极管/同步整流MOSFET (SR FET)导通期间次级绕组电压以变压器变比的比例反射到初级绕组上而形成的电压。可调整VOR以限制初级侧MOSFET的漏-源极电压。应当调整VOR, 以消除设计表格中的告警。为达到设计优化的目的, 应考虑如下因素:

- 较高的VOR可以降低输出二极管和SR MOSFET的电压应力。在有些情况下, 这还可以降低电压和提高效率。
- 较高的VOR会增加漏感, 从而降低电源效率。
- 较高的VOR会增大次级侧的峰值电流及RMS电流, 从而增加次级侧的铜损、二极管损耗和SR MOSFET损耗, 并且会降低效率。
- 较高的VOR会增大KP值 (更多非连续导通, 或者更少连续导通), 这有助于防止器件在VACMIN下进入深度CCM模式。

需要注意的是, 上述因素也有例外情况, 特别是在输出电流极大时, 此时应当压低VOR以实现高效率。输出电压大于15 V时, 应利用较高的

VOR值提供支持, 以使输出SR FET的峰值反向电压维持在可接受的水平。选择最佳的VOR值取决于具体应用, 并且需要综合考虑上述各因素。

额定反激电感, LP_NOM

此参数为额定变压器初级电感的目标值。

反激电感公差, LP_TOL

此参数为假设的变压器初级电感公差。默认取值10%, 可以在灰色单元格中输入不同的值。虽然10%的公差值可轻松满足, 但取更低的值可减少生产挑战。

反激式变压器磁芯类型, CCR_TYPE

默认情况下, 设计表格将选择最小且适合指定输出功率的常用磁芯。可以从下拉列表中选择不同的磁芯类型和尺寸。如果用户偏好的磁芯不可用, 可使用灰色单元格 (AE、LE、AL、VE、AW及BW) 直接输入磁芯和骨架参数。

| 输出功率 (75 kHz) | 磁芯和骨架表 | | | | | | | | |
|------------------|--------|-------------|--------------------------|------------|----------------------------|--------------------------|----------|--------------------------|------------|
| | 磁芯 | 代码 | 磁芯 | | | | 代码 | 骨架 | |
| | | | AE (mm ²) | LE (mm) | AL (nH/T ²) | VE (mm ³) | | AW (mm ²) | BW (mm) |
| 0 W – 10 W | EE10 | PC47EE10-Z | 12.1 | 26.1 | 850 | 300 | B-EE10-H | 12.21 | 6.60 |
| 0 W – 10 W | EE13 | PC47EE13-Z | 17.1 | 30.2 | 1130 | 517 | B-EE13-H | 18.43 | 7.60 |
| 0 W – 10 W | EE16 | PC47EE16-Z | 19.2 | 35.0 | 1140 | 795 | B-EE16-H | 14.76 | 8.50 |
| 0 W – 10 W | EE19 | PC47EE19-Z | 23.0 | 39.4 | 1250 | 954 | B-EE19-H | 29.04 | 8.80 |
| 10 W – 20 W | EE22 | PC47EE22-Z | 41.0 | 39.4 | 1610 | 1620 | B-EE22-H | 19.44 | 8.45 |
| 10 W – 20 W | EE25 | PC47EE25-Z | 41.0 | 47.0 | 2140 | 1962 | B-EE25-H | 62.40 | 11.60 |
| 20 W – 50 W | EE30 | PC47EE30-Z | 111.0 | 58.0 | 4690 | 6290 | B-EE30-H | 41.79 | 13.20 |
| 0 W – 10 W | RM5 | PC95RM05Z | 24.8 | 23.2 | 2000 | 574 | B-RM05-V | 10.17 | 4.90 |
| 10 W – 20 W | RM6 | PC95RM06Z | 37.0 | 29.2 | 2150 | 1090 | B-RM06-V | 15.52 | 6.20 |
| 20 W – 30 W | RM8 | PC95RM08Z | 64.0 | 38.0 | 5290 | 2430 | B-RM08-V | 30.00 | 8.80 |
| 30 W – 50 W | RM10 | PC95RM10Z | 96.6 | 44.6 | 4050 | 4310 | B-RM10-V | 45.69 | 10.00 |
| 20 W – 30 W | PQ2020 | PQ20/20-3F3 | 62.6 | 45.7 | 2650 | 2850 | P-2036 | 36.0 | 12.0 |
| 30 W – 50 W | PQ2620 | PQ26/20-3F3 | 121.0 | 45.0 | 5200 | 5470 | BPQ26/20 | 31.1 | 9.0 |

表6. 支持典型的反激式变压器设计的常用磁芯和相关功率范围

安全边距, MARGIN (mm)

安全边距默认设置为0, 该值假设次级绕组将使用三层绝缘线。如果不使用三层绝缘线, 230 VAC输入或通用输入设计需输入3.1, 低输入电压(仅)设计则输入1.5。

反激初级绕组圈数, NP

此参数是根据VOR和次级绕组圈数计算出的变压器主绕组圈数。

峰值磁通密度, BP

为了限制最大限流点和132 kHz工频下出现的峰值磁通密度, 建议峰值磁通密度取值3600高斯。在输出短路情况下输出电压很低, 在MOSFET关断期间, 变压器的磁通复位不足, 使得变压器的磁通密度会累积到超过正常工作时的水平。而一旦选择了具有内置保护特性的LYTSwitch-6 IC, 其最大限流点也就固定了。在此限流点的磁通密度选择3600高斯, 可以保证在短路情况下磁芯不会饱和。

最大磁通密度, B_{MAX} (Gauss)

轻载的低频工作方式可产生音频频率分量, 该分量将被变压器的结构放大, 特别是在使用长磁芯时。为抑制音频造成的产生, 应将变压器的最大磁芯磁通密度设计在低于3000高斯之下。采用此方法并使用标准的变压器生产浸漆工艺就可以基本上消除音频噪声, 但在设计定型之前, 应当使用简单的成品变压器替代品进行噪声优化。

交流磁通密度, BAC (Gauss)

BAC值可用于磁芯损耗计算。

开气隙后的磁芯等效电感量, ALG (nH/N²)

用于指定磁芯气隙。

反激初级层数, L

初级层数应介于1和3之间, 并且在没有强制风冷的设计中应满足200 – 500 Cmil/A的电流容量要求。大于三层的设计也是可行的, 但要考虑到漏感的增加及绕线窗口高度的限制。

初级绕组线规格, AWG

如果灰色单元格为空, 设计表格将根据指定的初级层数L计算AWG线号。

初级偏置圈数, NB

计算公式如下:

$$NB = \text{Ceiling}\left(NS \times \frac{VBIAS}{VO}\right)$$

次级绕组圈数, N_s

默认情况下, 设计表格将计算出最少次级圈数, 此圈数可以保证峰值工作磁通密度BP低于建议的最大值3600高斯。一般来讲, 没有必要在灰色单元格内输入其他值, 除非需要更低的工作磁通密度。

第8步 – 初级元件的选择

输入：缓升电压、 V_{BIAS} 、 V_{F_BIAS} 、稳压管箝位

| 1 | ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018 | 输入 | 信息 | 输出 | 单位 | 开关模谷式单级 PFC (SVFS*2PFC) |
|-----|--|-------|----|---------|------|-------------------------|
| 114 | 初级元件的选择 | | | | | |
| 115 | 输入欠压 | | | | | |
| 116 | BROWN_IN_REQUIRED | 70.00 | | 70.00 | V | 要求的AC RMS输入电压缓升阈值 |
| 117 | RLS | | | 1.74 | MOhm | 具有此值的两个电阻串联并连接V引脚 |
| 118 | BROWN_IN_ACTUAL | | | 69.80 | V | 实际AC RMS电压缓升阈值 |
| 119 | 输入过压 | | | | | |
| 120 | OVERVOLTAGE_LINE | | | 290.83 | V | 实际AC RMS输入过压阈值 |
| 121 | 偏置电压 | | | | | |
| 122 | VBIAS | | | 12.00 | V | 整流偏置电压 |
| 123 | VF_BIASDIODE | | | 0.70 | V | 偏置绕组二极管正向电压降 |
| 124 | VRRM_BIASDIODE | | | 62.64 | V | 偏置二极管反向电压 |
| 125 | CBIAS | | | 22.00 | μF | 偏置绕组整流电容 |
| 126 | CBPP | | | 4.70 | μF | BPP引脚电容 |
| 127 | 大容量电容稳压管箝位 | | | | | |
| 128 | 使用箝位 | 是 | | Yes | | 是否需要大容量电容箝位？是、否或不适用 |
| 129 | VZ1_V | | | 200.00 | V | 稳压管1电压额定值（与稳压管2串联） |
| 130 | PZ1_W | | | 1.25 | W | 稳压管1最小功率额定值 |
| 131 | VZ2_V | | | 200.00 | V | 稳压管2电压额定值 |
| 132 | PZ2_W | | | 1.25 | W | 稳压管2最小功率额定值 |
| 133 | RZ | | | 4700.00 | Ohm | 电阻与稳压管1和稳压管2串联 |

图16. 设计表格中的初级元件选择部分

缓升电压, BROWN_IN_REQUIRED (V)

此参数是电源在超过缓升阈值(I_{UV+})时立即导通的交流输入电压。

输入电压检测电阻, RLS (MΩ)

输入电压检测电阻RLS可设置缓升电压和输入过压阈值。通常表现为两个串联的电阻RLS1和RLS2, 并且连接大容量电容。

$$RLS = \frac{V_{BROWN_IN_REQUIRED} \times \sqrt{2}}{I_{UV+}}$$

输入过压, OVERVOLTAGE_LINE (V)

此参数是电源在超过过压阈值(I_{OV})时立即停止开关的交流输入电压。达到输入过压迟滞($I_{OV(H)}$)时将重新使能开关。

$$OVERVOLTAGE_LINE = \frac{I_{OV} \times RLS}{\sqrt{2}}$$

整流偏置电压, VBIAS (V)

假设默认缺省值为12 V。电压可以被设定为不同的值, 例如, 当偏置绕组输出也用作一个初级侧的(非隔离)辅助输出时。电压较高时通常会增大空载功耗。不建议取低于10 V的值, 因为在轻载时可能没有足够的电压为初级旁路引脚供电, 从而导致空载输入功耗大幅增加。

偏置二极管正向电压降, VF_BIASDIODE (V)

使用0.7 V默认缺省值该值应根据偏置绕组整流所用二极管的类型进行更改。

BPP引脚电容, CBPP (μF)

CBPP可决定器件的工作ILIMIT_MODE。标准限流点取值0.47 μF, 升高限流点取值4.7 μF。电容可以是电解电容, 也可以是陶瓷电容。在双面板上最好使用表面贴装的多层陶瓷电容, 因为它能使电容靠近IC放置。推荐使用额定电压至少25 V的陶瓷X7R(或更好的)电容。

初级偏置供电元件 (CBIAS, DBIAS, RBP)

虽然在功率MOSFET处于关断期间, 初级旁路引脚中的内部稳压器会从漏极引脚电压吸收电流, 将初级旁路引脚电容充电至 V_{BPP} , 但通常会经由额外的初级辅助绕组提供外部偏置供电。这将可降低IC的空载功耗。

推荐使用22 μF、50 V低ESR铝电解电容作为偏置供电滤波器CBIAS, 因为此类电容可降低空载输入功率。不建议使用表面贴装陶瓷电容, 因为陶瓷电容的机械机构所产生的压电效应可致音频噪声。

偏置绕组整流二极管DBIAS可以是标准恢复二极管, 也可以是快速恢复二极管。前者的辐射EMI较低, 后者可降低空载输入功率。

选用电阻RBP可确保初级偏置电源的供电电流大于初级旁路引脚的供电电流 I_{SSW} 。 I_{SSW} 计算公式如下:

$$I_{SSW} = \frac{F_{SW}}{132 \text{ kHz}} \times (I_{S2} - I_{S1}) + I_{S1}$$

其中:

- I_{SSW} : 工作开关频率下的初级旁路引脚供电电流。
- F_{SW} : 工作开关频率(kHz) – F_{SMIN} 与 F_{SMAX} 之间的平均值。
- I_{S1} : 非开关初级旁路引脚的电流(参见数据手册)。
- I_{S2} : 132 kHz下初级旁路引脚的供电电流(参见数据手册)。

如果偏置电流大于初级旁路引脚的供电电流, BPP电压将约为5.3 V。如果BPP电压约为5.0 V, 表示流经RBP的电流小于要求的初级旁路引脚供电电流。请确保初级旁路引脚电压绝不会低于5.0 V(启动时除外)。

RBP计算公式如下:

$$RBP = \left(\frac{V_{BIAS_{NO-LOAD}} - 5.3 V}{I_{SSW}} \right)$$

大容量电容稳压管箝位的选择

如果设为“是”, 设计表格将计算稳压管的电压额定值($VZ1_V$ 、 $VZ2_V$)、功率额定值($PZ1_W$ 、 $PZ2_W$)以及串联电阻 RZ 。

PFC二极管, DBOOST1和DBOOST2

PFC二极管(DBOOST1、DBOOST2)与PFC电感LBOOST串联, 为存储在PFC电感中的能量提供电流路径, 此能量必须在MOSFET关断期间传输至次级侧。不过, MOSFET关断时PFC电感产生的谐振电压振荡将会导致PFC二极管产生更大的电压振荡。根据下列条件选择PFC二极管:

- 对于高压输入/通用输入电压设计,使用2个并联的600 V超快速恢复二极管。
- 对于低压输入电压设计,使用1个600 V超快速恢复二极管。
- 1 A电流额定值对于大部分应用是足够的, 但是可在必要时使用更大的额定值来降低器件温度。

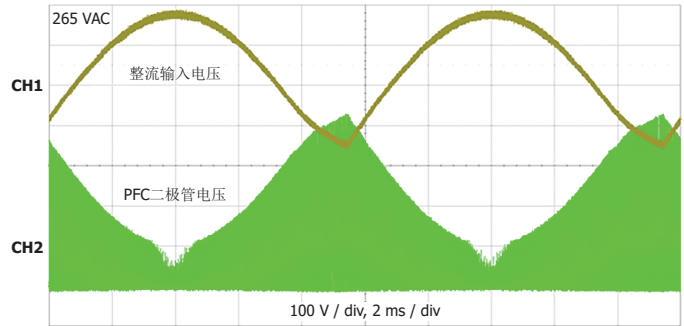


图17. PFC二极管的电压应力

连接大容量电容的阻断二极管, DBLOCK

阻断二极管DBLOCK可将整流AC输入与大容量电容隔离。它可为大容量电容的充电提供电流路径, 特别是在低输入电压下, 这样可提高效率。

推荐使用电压额定值600 V、电流额定值1 A的标准恢复二极管。

第9步 – 次级控制元件的选择

| 1 | ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018 | 输入 | 信息 | 输出 | 单位 | 开关模谷式单级 PFC (SVFS^2PFC) |
|-----|--|----|----|--------|------|-------------------------|
| 134 | 次级元件的选择 | | | | | |
| 135 | IS引脚元件 | | | | | |
| 136 | R_ISpin | | | 33.60 | mOhm | IS引脚1%电阻的非标准值 |
| 137 | 反馈元件 | | | | | |
| 138 | RFB_UPPER | | | 102.00 | kOhm | 上方反馈1%电阻 |
| 139 | RFB_LOWER | | | 3.30 | kOhm | 下方反馈1%电阻 |
| 140 | CFB_LOWER | | | 330.00 | pF | 下方反馈电阻去耦至少5V额定值的电容 |
| 141 | CBPS | | | 2.20 | μF | BPS引脚电容 |

图18. 设计表格中的次级元件选择部分

电流检测电阻, RIS (mΩ)

外部电流检测电阻R_ISPIN可设置恒流(CC)阈值。在设计表格中, 假设指定的电流IO也是CC阈值。因此, 电流检测电阻值的计算方法如下:

$$R_{ISPIN} = \frac{I_{SV(TH)}}{IO}; I_{SV(TH)} = 35.9 \text{ mV}$$

电流检测保护二极管, DIS

此二极管连接电流检测电阻, 可在输出短路期间为器件提供保护。

上方反馈电阻, RFB_UPPER (kΩ)

处于输出电压引脚和次级接地引脚之间的外部电阻分压器网络 (RFB_UPPER、RFB_LOWER) 的中点连接至反馈引脚, 以调整输出电压。内部电压比较器参考电压为V_{REF} (1.265 V)。

RFB_UPPER的默认值为102 kΩ。不过, 在对空载输入功率有严格要求的应用中, 可调整此值以降低空载功耗 (特别是额定输出电压高于20 V的应用)。

下方反馈电阻, RFB_LOWER (kΩ)

RFB_LOWER电阻将利用RFB_UPPER值进行计算。

下方反馈电阻去耦电容, CFB_LOWER (pF)

推荐使用330 pF表面贴装X7R陶瓷电容, 并且靠近IC的反馈和接地引脚进行连接。

次级旁路引脚电容, CBPS (μF)

此电容用作集成次级侧控制器的电压供电去耦电容。推荐使用表面贴装2.2 μF、25 V X5R或X7R陶瓷电容。

正激引脚电阻, RFWD (Ω)

正激引脚连接到同步整流FET (SR FET)的漏极端子。此引脚用于检测SR FET的漏极电压, 并精确导通和关断器件。此引脚还可用于每当输出电压低于次级旁路引脚电压时对次级旁路引脚电容(CBPS)充电。

推荐使用47 Ω的5%电阻, 确保可获得足够的IC供电电流, 并且可在很宽的输出电压范围内有效工作。更改此值可能会对同步整流器驱动的时序造成不良影响。应当格外小心, 确保正激引脚的电压绝不会超过其绝对最大电压。如果正激引脚电压超过正激引脚绝对最大电压 (参见数据手册), IC将会受损。

如果使用次级辅助绕组 (比如当输出电压 > 24 V时), 那么正激引脚通常经由RFWD连接到辅助绕组。

第10步 – 次级辅助设计

输入: VAUX、VF_AUX、CAUX

| 1 | ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018 | 输入 | 信息 | 输出 | 单位 | 开关填充式单级 PFC (SVFS^2PFC) |
|-----|--|----|----|-------|----|-------------------------|
| 142 | 次级辅助部分 – 仅适用于VO > 24V | | | | | |
| 143 | 次级辅助二极管 | | | | | |
| 144 | VAUX | | | 12.00 | V | 整流辅助电压 |
| 145 | VF_AUX | | | 0.70 | V | 辅助绕组二极管正向电压降 |
| 146 | VRRM_AUXDIODE | | | 62.64 | V | 辅助二极管反向电压 |
| 147 | CAUX | | | 22.00 | μF | 辅助绕组整流电容 |
| 148 | NAUX_SEC | | | 5.00 | | 次级辅助圈数 |
| 149 | AWGSAUX | | | 32 | | 次级辅助绕组导线规格(AWG) |

图19. 设计表格中的次级辅助部分

次级辅助电压, VAUX (V)

输出电压(VOUT)引脚的最大电压额定值为27 V。对于要求输出电压高于24 V的设计, 建议添加一个辅助绕组进行VOUT和FWD引脚检测。

次级辅助电压默认设为12 V。

辅助二极管正向电压降, VF_AUX (V)

缺省值为0.7 V, 但应根据辅助绕组整流所用二极管的类型进行更改。

辅助整流管反向电压, VRRM_AUXDIODE (V)

此参数是最大输入电压下次级整流管的最大电压应力 – 忽略漏感尖峰的影响。

次级偏置供电元件 (CAUX、DAUX)

推荐使用22 μF、50 V低ESR铝电解电容作为次级辅助供电滤波器CAUX,

次级辅助绕组整流二极管DAUX应为电压额定值200 V的标准恢复二极管。虽然计算得出的VRRM_AUXDIODE可能较小, 但在冷启动等情况下漏感尖峰可能超过100 V。该值不得超过150 V, 因为这是正激(FWD)引脚的最大电压额定值。即便是一个超过该值的短脉冲, 也会对IC造成损坏。主输出整流管上的R-C缓冲器通常足以防止此损坏的发生。为DAUX添加R-C缓冲器是可选项, 但如果漏感尖峰将接近150 V限值, 则必须考虑添加。

第11步 – 输出整流管和电容的选择

| 1 | ACDC_Flyback_PF_LYTSwitch-6_040618; Rev.1.3; Copyright Power Integrations 2018 | 输入 | 信息 | 输出 | 单位 | 开关模谷式单级 PFC (SVFS^2PFC) |
|-----|--|----|----|--------|------|-------------------------|
| 154 | 输出元件 | | | | | |
| 155 | VF | | | 0.70 | V | 输出二极管正向电压降 |
| 156 | VRRM | | | 191.93 | V | 输出二极管反向电压 |
| 157 | COUT | | | 222.22 | μF | 输出电容 - 电容容量 |
| 158 | COUT_VOpercentRip | | | 2.50 | % | VOOUT的输出电容纹波百分比% |
| 159 | ICOUTrms | | | 1.37 | A | 输出电容估计纹波电流 |
| 160 | ESRmax | | | 232.28 | mOhm | 输出电容最大建议ESR |

图20. 设计表格中的输出整流管和电容部分

输出整流管正向电压降, VF (V)

缺省值为0.7 V, 但应根据次级主输出绕组整流所用二极管的类型进行更改。

输出整流管反向电压, VRRM (V)

此参数是最大输入电压下次级整流管的最大电压应力 - 忽略漏感尖峰的影响。在选择器件的电压额定值时必须提供额外的裕量, 以避免漏感尖峰的影响。

$$VRRM = VOUT + VACMAX \times 1.414 \times \frac{NS}{NP}$$

输出整流管, DOUT

只要有可能提高效率, 就应该使用同步整流FET (SR FET)。SR引脚驱动电压的典型值为4.4 V。如果选择SR FET, 1.5 V – 2.5 V栅极阈值电压较为适合。但是也可以使用开通阈值电压高达4 V的MOSFET, 只要其数据手册规定了在4.5 V栅极电压下整个温度范围的 $R_{DS(ON)}$ 数值即可。

在VRRM计算值大于150 V的高输出电压设计中, 同步整流驱动引脚需要连接到次级接地引脚, 因此可使用低成本的超快速二极管, 而不是SR FET。

输出整流缓冲器, RSR (Ω), CSR (nF)

输出绕组的漏感与输出整流器的输出电容(C_{OSS})之间的相互作用会在绕组的电压反向 (由于初级MOSFET导通) 时电压出现振荡。这种振铃可通过使用连接于输出整流器两端的RC缓冲器进行抑制。缓冲器电阻阻值范围介于10 Ω至47 Ω之间 (较高的电阻值会导致比较明显的效率下降)。大部分设计当中均可采用1 nF至2.2 nF的电容值。

用于电容大小调整的目标输出电压纹波, COUT_VOpercentRip (%)

此参数可设置目标输出电压纹波百分比, 此百分比用于计算最小输出电容。

输出电容, COUT (μF)

建议的最小输出电容COUT根据目标电压纹波COUT_VOpercentRip计算得出。如果要求较小的输出电流纹波, 则可以使用更大的电容值。需要使用实际LED负载进行验证。不同的LED灯串具有不同的动态阻抗特性, 该特性决定了实际纹波电流。通常使用低ESR型电容来降低输出电压纹波。

第12步 – 其他关键元件的选择

初级箝位网络 (DSN、RS、RSN及CSN)

建议使用初级箝位，确保在最差条件下（例如，最大输入电压下发生输出短路）不会超过IC的 BV_{DSS} 额定值。

图21所示为设计中采用的常见箝位配置。表7列出了每种电路方法的优势和劣势。

输入滤波器及保护

图22所示为典型LYTSwitch-6设计中的典型输入保护元件和EMI滤波元件布局。

保险丝F1提供过流保护，在发生严重故障时将电源与AC输入隔离。时间滞后保险丝通常用于防止启动时因大容量电容充电产生的大浪涌电流所导致的误动作。230/240 VAC输入系统使用250 VAC额定值，277 VAC输入

常见初级箝位配置

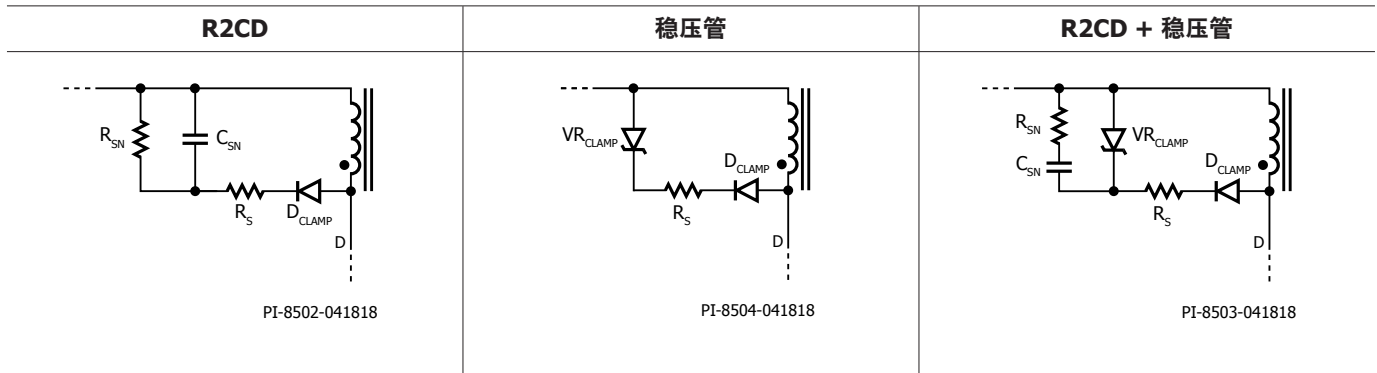


图21. 建议的初级箝位电路元件

初级箝位电路

| 优势 | R2CD | 稳压管 | R2CD + 稳压管 |
|--------|------|-----|------------|
| 元件成本 | 低 | 中 | 高 |
| 空载输入功率 | 高 | 低 | 中 |
| 轻载效率 | 低 | 高 | 中 |
| EMI抑制 | 高 | 低 | 中 |

表7. 初级箝位电路的优势

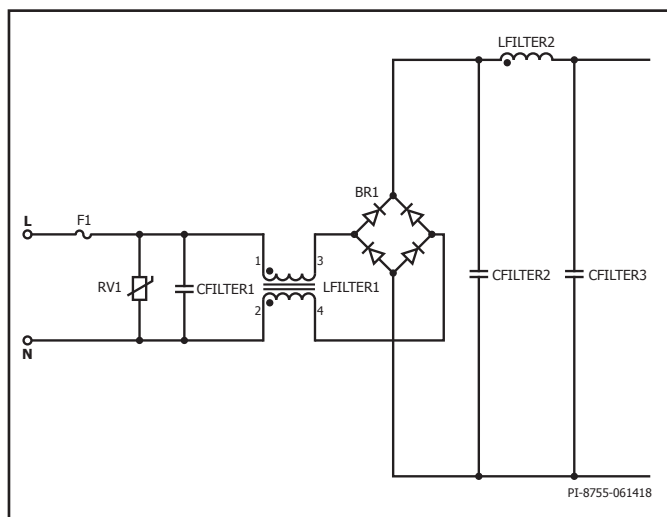


图22. LYTSwitch-6设计中的输入滤波配置

入系统使用300 VAC额定值。额定电流应大于最小输入电压下的最大电流。确保 I^2t 额定值大于浪涌和雷击时的实测 I^2t 值。

桥式整流管BR1对AC输入电压进行整流。建议整流桥的电压额定值采用1 kV，特别是在要求具备2.5 kV振铃波抗扰性能时。电流额定值应大于最大工作电流。根据功耗和热测量值选择合适的封装尺寸。

压敏电阻VR1可在发生浪涌时提供保护。其电压额定值应大于最大AC输入电压。

EMI滤波器通常包括CFILTER1、LFILTER1、CFILTER2、LFILTER2及CFILTER3。CFILTER2应置于桥式整流管之后，特别是在要求使用大值 $L_{FILTER2}$ 时。发生输入浪涌或振铃波时，LFILTER2激励可能导致明显振荡，使电压超过桥式整流管的电压额定值。

为维持高功率因数，总输入电容不能过大。调整滤波电容的大小时，使用合适的近似值10 nF/W。

应用设计要点

空载/轻载工作时的体电压

在每个开关周期中，大容量电容会先放电（供电时）然后再充电。存储在升压电感中的能量将转移到输出端，也可对电容充电。

在空载或极轻负载下（小于额定功率的10%），体电压存在爬升趋势，这是因为来自升压电感（对大容量电容进行充电）的能量大于变换器的需求量。

如果允许空载时自动重新启动，那么集成的输入过压保护是足够的。不过，在负载变化范围介于0%至100%的三合一调光或DALI调光等应用中，自动重新启动需要禁用。

有多种方式抑制体电压的爬升：

1. 使用更高的RATIO_LBST_LFB值。如图23所示，空载体电压随着比值的减小而升高。除非需要较小的比值来满足PF或THD要求，否则请勿减小比值的设置值，因为这会影响空载体电压。

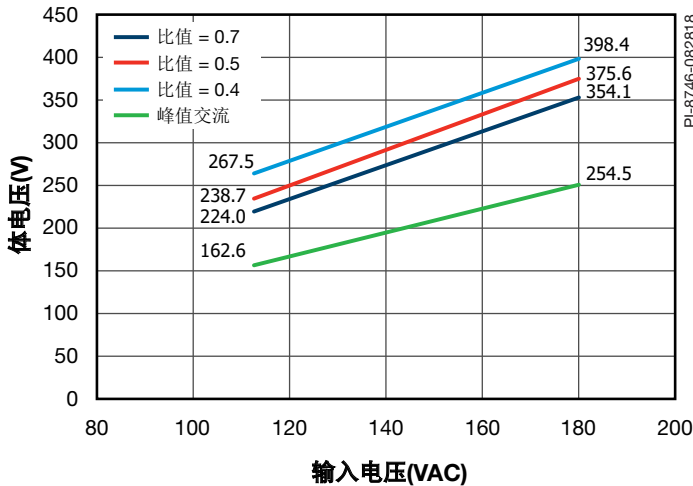


图23. 空载体电压相对于LPFC/NOM比值的变化

2. 使用额定值更高的电容。在小功率设计中，提高体电容的电压额定值可能足以解决问题。
3. 给漏-源极连接一个R-C-D箝位。这是高性价比方案，但会降低效率和增加空载功耗。

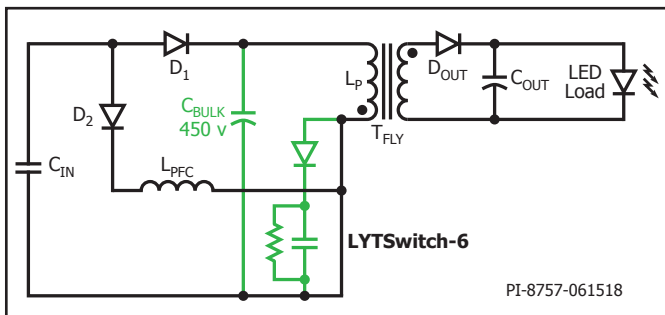


图24. 从漏极到源极的RCD箝位

4. 给大容量电容连接一个稳压管箝位。此方案通过添加两个高压稳压管和一个电阻可提供最佳性能。

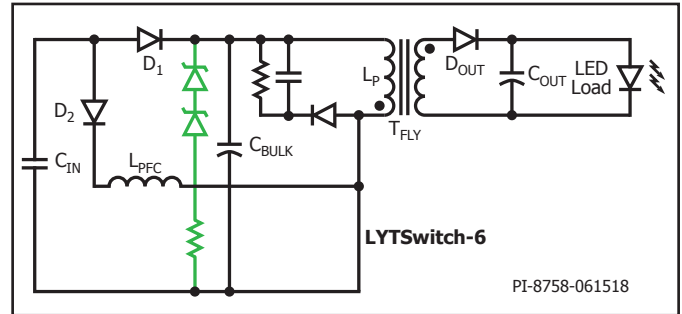


图25. 连接大容量电容的稳压管箝位

CCM设计中使用辅助绕组实现VOUT引脚和FWD引脚检测时的功率输出

在DCM模式中，使用FWD引脚的峰值电压（当它超过输出电压水平时）来选通次级请求，以便初级控制器启动相应的导通周期。此特性称为“智能准谐振模式开关工作”，如果设计转为CCM则禁用。

如果FWD引脚电压检测通过辅助绕组完成，由于辅助绕组提供的信息与次级二极管的实际状态不符，存在控制器进入CCM模式的风险。在典型应用场景中，主整流管保持连续导通，但次级控制器会判定它处于DCM模式（FWD引脚电压过零点，告知控制器流经整流管的电流已降至0）。发生这种情况时，将会阻止变换器进入CCM模式，从而降低功率输出。图30所示为CCM误检测对输出电流调整率的影响。

有两种方式解决此问题：

1. 对辅助电路使用标准恢复二极管。图27所示为使用标准恢复二极管时的FWD引脚电压纹波。相比较，图28使用超快速二极管才呈现出相同的波形。慢速反向恢复响应可使次级控制器发出开关请求，同时整流管保持连续导通(CCM)。使用超快速二极管，FWD引脚电压将过零点，使次级控制器假定它处于DCM模式。此时，将不会发出开关请求，直到FWD引脚超过VO引脚电压。
2. 使用夹层辅助绕组技术（见图26）。次级绕组与辅助绕组的耦和可让控制器检测到电流信号。图29所示为使用夹层辅助技术时的FWD引脚电压纹波。

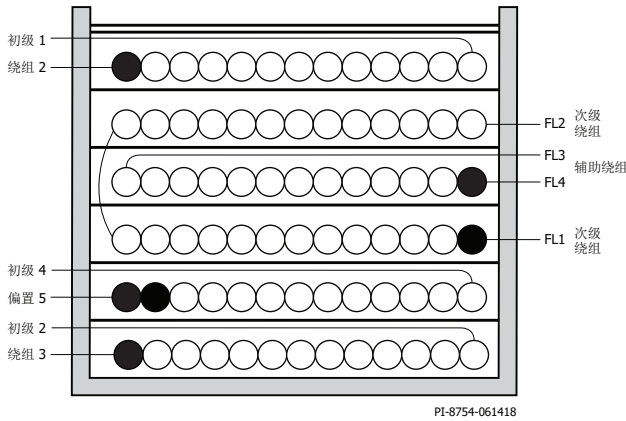


图26. 夹层次级辅助绕组变压器的结构

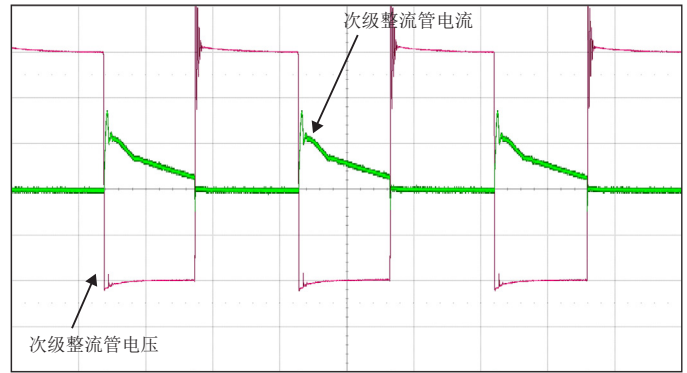


图29. 使用超快速恢复二极管和夹层辅助绕组时的次级整流管波形

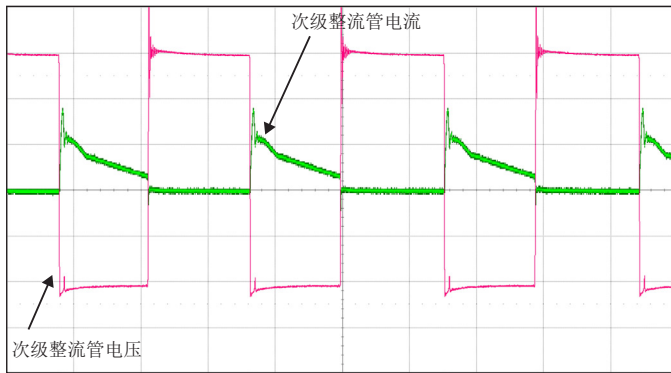


图27. 使用慢速恢复二极管时的次级整流管波形

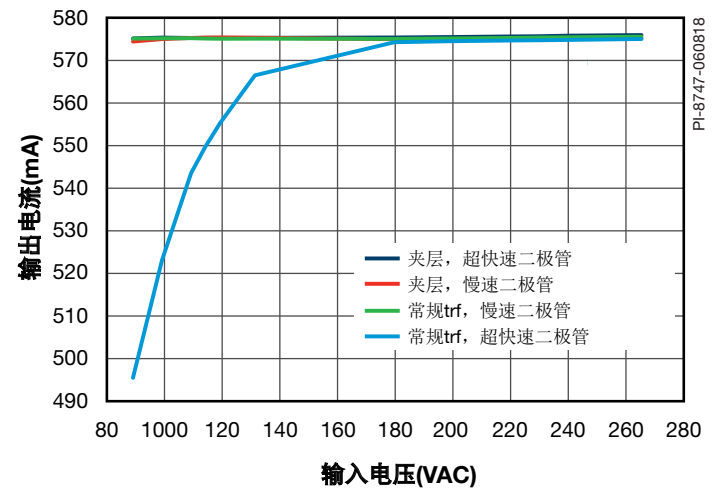


图30. 输入电压调整比较

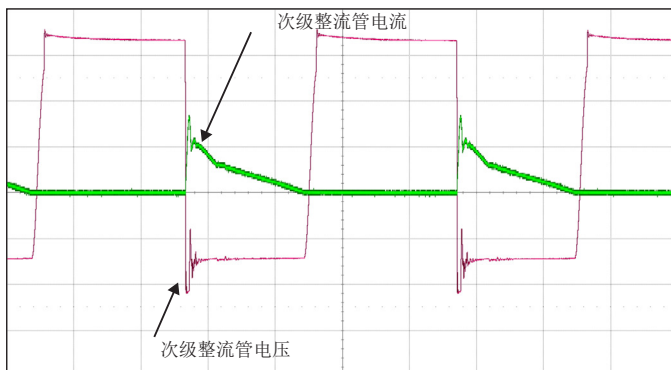


图28. 使用超快速恢复二极管时的次级整流管波形

降低A-THD的建议

- 使用实际LED负载。
- 使用较小的RATIO_LBST_LFB。
- 选择其他VOR。接近 $KP = 1$ 工作。
- 减小输入滤波电容和增大滤波电感。

提高功率因数的建议（或影响PF的因素）

- 使用实际LED负载进行检测。
- 使用较小的RATIO_LBST_LFB。
- 减小输入滤波电容和增大滤波电感。
- 验证升压电感处于DCM模式。
- 增加大容量电容。

降低空载功耗的建议

- 调整RFB(UPPER)和RFB(LOWER)。
- 调整RBP值。
- 减小初级箝位电容。
- 使用肖特基二极管或超快速二极管作为偏置供电整流管DBIAS。
- 使用低ESR电容作为偏置供电滤波电容CBIAS。
- 减小SR FET RC缓冲器电容CSR。
- 在初级绕组层之间添加绝缘胶带，在初级与次级绕组之间添加多层胶带，以降低绕组间的电容。

降低EMI的建议

- 合理布局元件并确保初级和次级功率电路形成较小的环路面积有助于降低辐射及传导EMI。应注意确保环路面积尽量小。
- 初级侧箝位二极管两端外加小电容有助于降低辐射EMI。
- 与偏置绕组串联的电阻(2 – 47 Ω)有助于降低辐射EMI。
- 在初级侧和/或次级侧主绕组(< 100 pF)上将较小值的电阻和陶瓷电容(< 22 pF)串联可降低传导和/或辐射EMI。请注意, 电容增大将影响空载功耗。
- 电源输入端通常需要使用共模扼流圈来衰减共模噪声。在变压器上使用屏蔽绕组可以实现同样的性能。屏蔽绕组还可以与输入端的共模滤波电感配合使用, 以降低传导及辐射EMI。
- 调整SR FET RC缓冲器元件值有助于降低高频辐射及传导EMI。
- 可以在输入整流电路的后面使用一个由差模电感和电容组成的 π 型滤波器, 以降低低频差模EMI。可以添加一个磁珠, 以最低的成本进一步改善EMI裕量。
- 差模电感外加一个电阻可以减小Q因数, 从而降低10 MHz以上的EMI。这可能会导致5 MHz以下的EMI稍微增大。
- 电源输出端并联一个1 μ F陶瓷电容可能有助于降低辐射EMI。
- 将慢速二极管(例如, 250 ns < t_{RR} < 500 ns)用作偏置整流管(D_{BIAS})通常可降低20 MHz以上的传导EMI和30 MHz以上的辐射EMI。

热管理设计要点

源极引脚都从内部连接到IC的引线框架, 是器件散热的主要途径。因此, 源极引脚都应连接到IC下的铺铜区域, 不但作为单点接地, 还可作为散热片使用。因它连接到安静的源极节点, 可以将这部分铺铜的面积扩大以实现良好的散热。输出SR FET也是一样, 尽量增大连接封装引脚的PCB面积, 以帮助SR FET散热。

应在电路板上提供足够的铜铂区域, 以使IC温度处于绝对最大限值以下。建议铺铜区域(IC的源极引脚焊接在此)面积应足够大, 以使电源在满额定负载和最低额定输入AC供电电压下工作时IC温度保持在90 °C以下。也可以根据需要进一步降额。

快速设计校验

对于任何使用LYTSwitch-6的电源设计, 都应经过全面测试以确保在最差条件下元件的限值没有超过规定范围。作为最低要求, 建议进行如下测试:

最大漏极电压 – 在正常工作和启动时, 分别检查确认LYTSwitch-6 IC和SR FET的 V_{DS} 在最高输入电压和峰值(过载)输出功率下没有超过击穿电压的90%。

最大漏极电流 – 在最高环境温度、最大输入电压及峰值输出(过载)功率情况下, 观察启动和稳态时的漏极电流波形, 检验是否出现变压器饱和的征兆和过大的前沿电流尖峰。在任何条件下, 初级MOSFET的最大漏极电流应低于数据手册规定的绝对最大额定值。

温升检查 – 在规定的最大输出功率、最小输入电压及最高环境温度情况下执行。检验没有超过LYTSwitch-6 IC、变压器、输出SR FET和输出电容的规定温度限值。应有足够的温度裕量以保证LYTSwitch-6初级MOSFET不会因为零件与零件间 $R_{DS(ON)}$ 的差异而引起过热问题出现。建议在低输入电压及最大输出功率的情况下, LYTSwitch-6源极引脚的最高温度不高于110 °C, 这样就可以适应上述参数的变化。

PCB布板建议

单点接地

在输入滤波电容与连接源极引脚的铜铂区域使用单一接地点。

旁路电容

初级旁路(CBPP)、次级旁路(CBPS)和反馈去耦电容必须直接靠近初级旁路-源极引脚、次级旁路-次级接地引脚和反馈-次级接地引脚放置。与这些电容的连接应采用短走线方式。

信号元件

用于监测反馈信息的外部元件RLS、RBP、RFB(UPPER)、RFB(LOWER)和RIS必须以短走线的方式尽可能靠近IC引脚。

关键环路面积

会产生高 dv/dt 或 di/dt 的电路环路应尽可能小且紧凑。连接输入滤波电容、变压器初级及IC的初级环路面积也应尽可能小。理想情况下，一个环路不得在另一环路之内。这样可降低电路之间的串扰。

初级箝位电路

箝位电路用于限制MOSFET在关断时漏极引脚的峰值电压。在初级绕组上使用RCD箝位或一个稳压管($\sim 200\text{ V}$)外加一个二极管箝位均可实现。为改善EMI，从箝位元件到变压器再到IC的连接走线应保证最短。

Y电容

Y电容应连接在初级大容量电容负极和变压器次级绕组的其中一个端子之间。由于存在阻断二极管，建议不要连接到初级大容量电容正极。

输出整流二极管

要达到最佳的性能，连接次级绕组、输出整流管及输出滤波电容的环路区域面积应最小。此外，与整流管端子连接的铜铂区域应足够大，以提供有效散热。

ESD抗扰性

ESD抗扰性通常不是LED驱动器应用的要求。不过，下列建议可供提出ESD抗扰性要求的应用参考。

应在初级侧和次级侧电路之间保持足够的电气间隙($> 8\text{ mm}$)，以满足ESD或耐压测试要求。放电间隙最好位于输出返回端和/或正极与保险丝后的其中一个AC输入之间。在此配置中， 6.4 mm (可采用 5.5 mm ，具体取决于客户要求)放电间隙通常足以满足适用安全标准的爬电距离和电气间隙要求。该距离小于初级与次级之间的电气间隙，因为放电间隙之间所施加的电压不超过AC输入的峰值。

漏极节点

漏极开关节点是主要噪声源。因此，连接漏极节点的元件应靠近IC放置并远离敏感的反馈电路。箝位电路元件应远离初级旁路引脚。此电路的走线宽度和长度应尽量最小。

PCB布板示例

输入电路 (F1、RV1及BR1) 和 EMI滤波电路 (C1、L2、C2及L3) 的位置远离具有高di/dt或dv/dt的所有开关节点。

由大容量电容C4、初级绕组NP和LYTSwitch-6 U4 D-S引脚组成的反激初级环路非常紧凑、狭小。

由 D 8、R 4 6、C9//R17及NP组成的初级箝位环路面积非常紧凑、狭小。

由COUT C37//C15、检测电阻 R 2 4 和 R 4 3 以及 LYTSwitch-6 IS-GND引脚组成的输出环路不与次级环路(4)共用接地路径。

反馈元件R29、R30、C19以及GND引脚共用接地路径，该路径星形连接至检测电阻R24//R43。

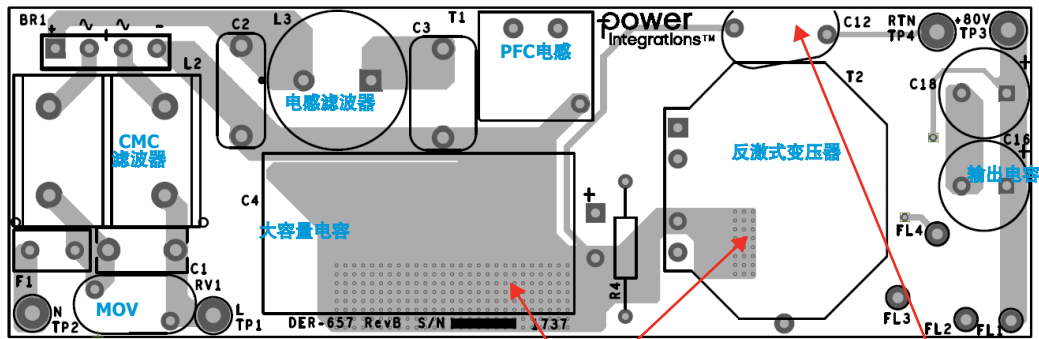
由滤波器C3、续流二极管D1+D17、T1、初级绕组NP以及大容量电容C4组成的PFC环路非常紧凑、狭小。

由辅助绕组NB、D7和C10组成的偏置供电环路非常紧凑、狭小。

初级信号元件C11、R18、R45和R4尽量靠近IC引脚摆放，并且它们采用短的走线方式与IC连接。

次级信号元件尽量靠近IC引脚摆放，并且它们采用短的走线方式与IC连接。辅助绕组FL3-FL4、D11以及C38非常紧凑、狭小。

由次级绕组FL1-FL2、COUT C15//C37以及整流管D10组成的次级环路非常非常紧凑、狭小。



源极引脚的铜散热片尽量最大。

Y电容连接到RTN和C4 (-)。

特别说明

- 所有环路都是独立的；环路中没有内含环路。这可以避免接地阻抗抗噪声耦合。
- 使走线表面积和高dv/dt节点（如漏极）的长度尽量小和短，尽量减少RFI的产生。
- Y电容和反馈回路等信号走线（安静走线）均不得靠近或穿过噪声大的节点（高dv/dt或di/dt），例如漏极、变压器外包铜带下方、任何绕组的开关侧或输出整流二极管，以减少电容性或电磁性耦合噪声的产生。
- 信号走线均不得与存在AC开关电流的走线（例如输出电容）共用电流路径。连接必须以星形连接到电容焊盘，以避免接地阻抗耦合噪声。

PI-8585-082818

图31. 理想布板示例的顶层与底层 - 高dv/dt及di/dt电路的紧密环路面积、合理的元件位置及火花隙位置（与图19和图20相关）

应用范例

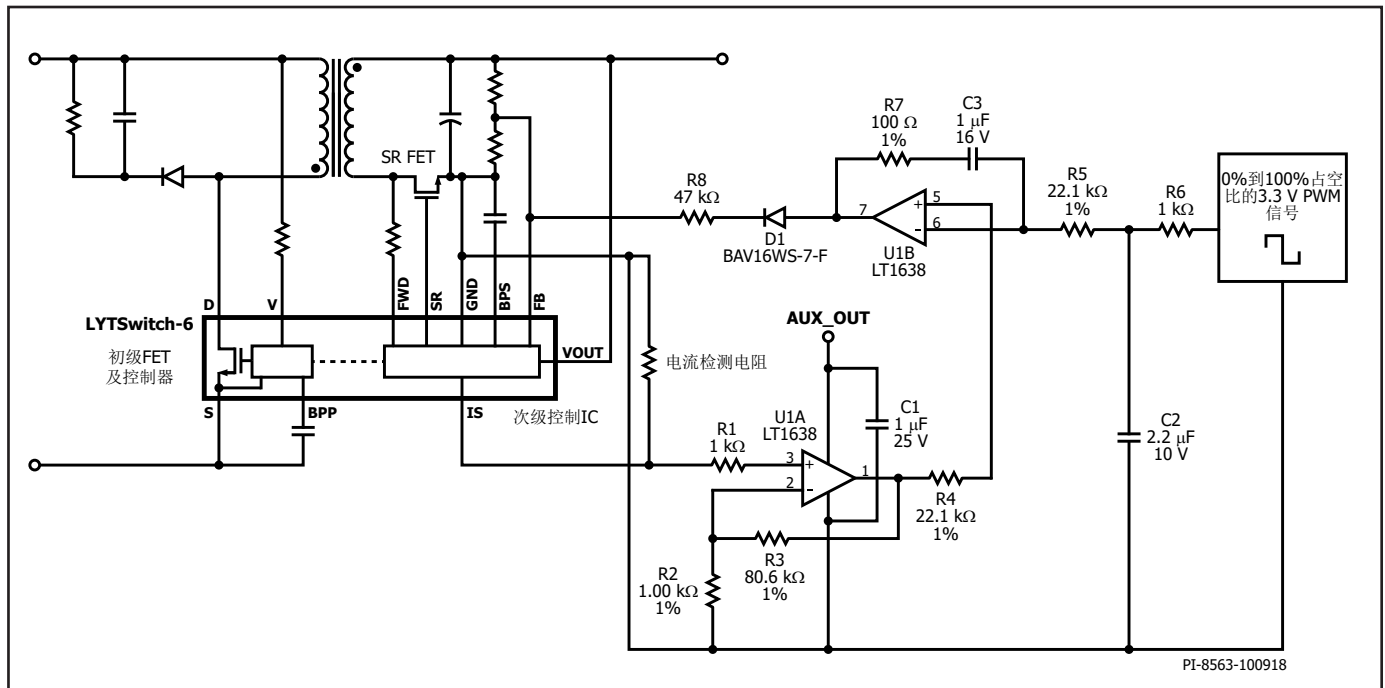


图32. PWM电路

PWM调光电路

检测输出电流、放大信号、与变量引用进行比较以及将开关电流注入反馈(FB)引脚，这些都需要用到调光电路。调光电路仅限于恒流工作模式，例如，驱动LED负载时。

输出电流通过IS引脚进行检测，该引脚的阈值为35.9 mV (V_{REF})。信号然后通过非反相放大器电路R1、R2、R3、U1及C1。R2和R3设置增益。非反相放大器的最大电压必须控制到最大PWM源极电压的90% - 95%。

$$V_{REF} \times \left(\frac{R3}{R2} + 1 \right) = Derating_{FACTOR} \times VDD$$

其中

V_{REF} = IS引脚参比电压(35.9 mV)

R3 = 非反相运算放大器的反馈电阻Rf

R2 = 非反相运算放大器的输入电阻Ri

VDD = PWM源极的最大输出电压

Derating_{FACTOR} = 介于VDD的0.9 - 0.95的值

假设R2的值(1 kΩ)，然后求R3的值：

$$R3 = R2 \times \left(\frac{Derating_{FACTOR} \times VDD - V_{REF}}{V_{REF}} \right)$$

运算放大器的输出端（引脚1）通过R4连接到正输入（引脚5）。传送到负输入（引脚6）的信号来自PWM源极（例如，BLE模块或MCU）。电阻R6和C2对PWM信号进行积分处理，形成直流偏置，并通过R5将其输入到运算放大器。误差放大器的输出端（引脚7）通过D1和R8连接到反馈引脚。电阻R7和C3起到保持环路稳定的作用。

满载启动（恒流模式）时，PWM输出设为100%，防止调光电路将电流注入反馈环路。整流的PWM输出低于 $(Derating_{FACTOR} \times VDD)$ 参比值时将立即开始调光，电流将注入反馈环路。

注入电流时反馈电压降升高。这样通常会降低输出电压。不过，由于LED负载是恒压的，电压将固定不变，而是输出电流减小。

电流注入环路必须足够慢，以避免从100%到0%施加阶跃负载时触发过压保护。可以通过增加R8的值来解决此问题。

此外，还建议使用低输入偏置运算放大器来降低元件间的不一致。另请注意，需要将调光电路靠近IS引脚和FEEDBACK引脚放置，以防止噪声干扰环路。

运算放大器AUX_OUT可以直接连接到输出母线或辅助偏置供电电源。确保不会超过运算放大器的最大电压额定值。

三合一调光电路

图32中的PWM电路支持PWM和模拟调光。如果还需要电阻调光和0 - 10 V调光能力，可添加R9、R10、Q2、D2及U2（见图33）来实现，这些元件可形成一个恒流源。它可以将可变的电阻输入转换为合适的可变直流信号。

MOSFET Q1、C4及R11是可选元件，添加后可确保在AC启动时获得单向输出电流升高曲线。

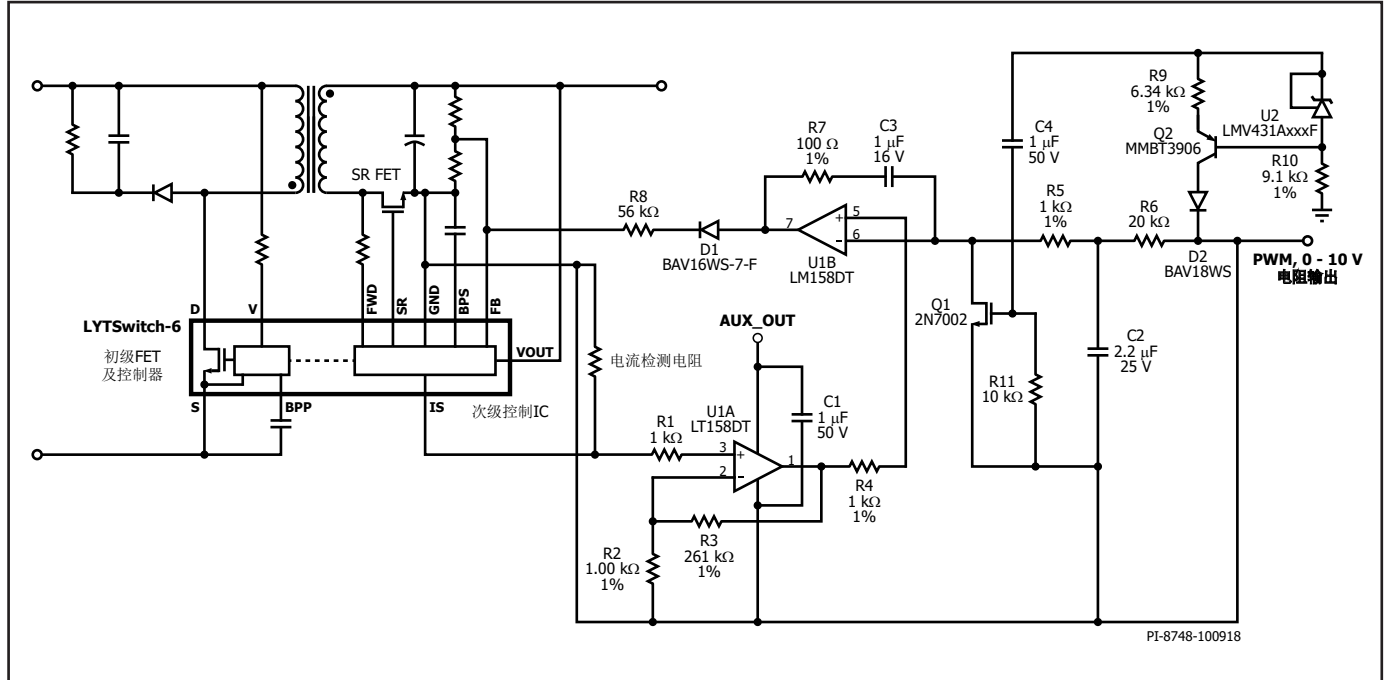


图33. 三合一调光电路

采用SR FET的应用设计范例

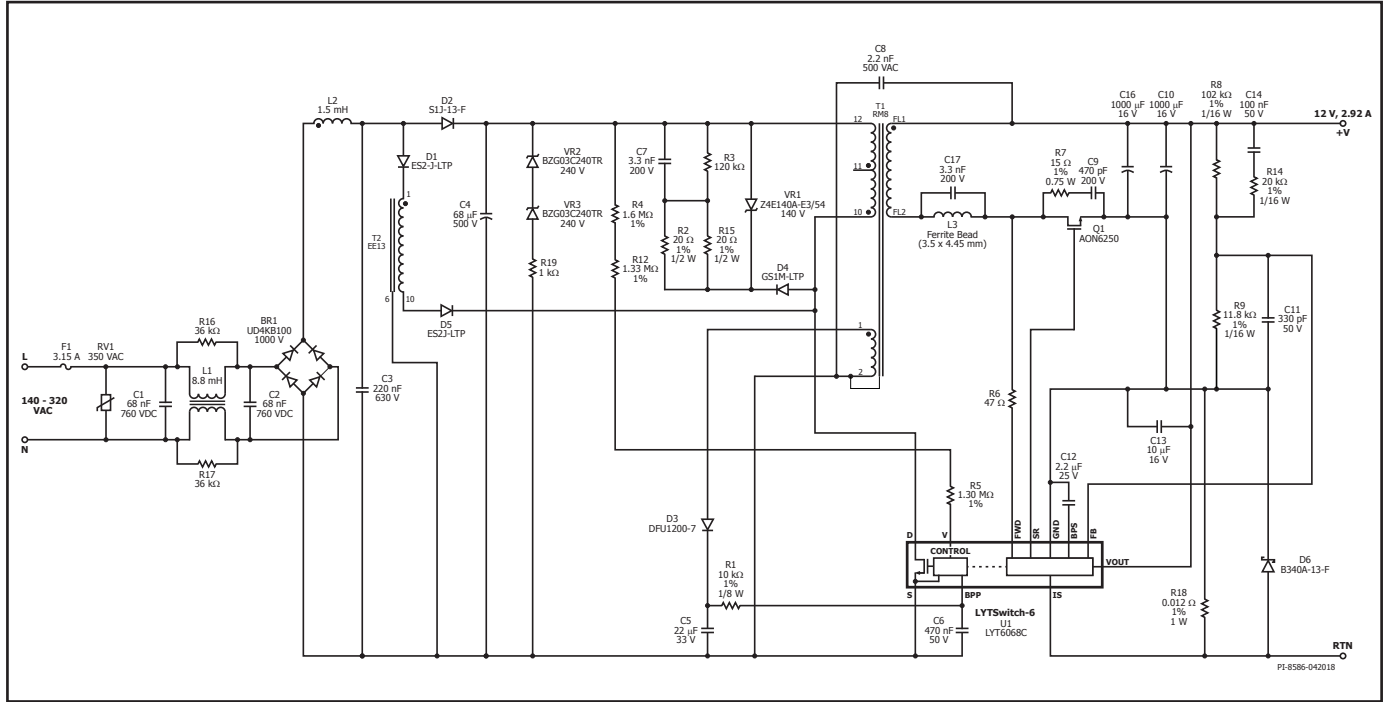


图34. DER-637电路原理图 — 采用LYSwitch-6 LYT6068C提供同步整流功能的140 VAC – 320 VAC输入35 W (12 V/2.92 A)电源

提供同步整流功能的35 W、12 V高效率通用电源LED镇流器

图34所示的电路是一款具有单级功率因数校正电路的35 W隔离反激式电源，其设计适用于LED照明应用。该电源可提供具有高电压调整精度的12 V恒压供电，以及最大2.92 A的输出电流。它通常适合使用后级稳压电路来调整多LED灯串设计的应用（例如，RGBW智能照明）。在单LED灯串应用中，它提供高调整精度的2.92 A恒流输出，并且在12 V至3 V输出电压范围内没有输入电压引起的纹波。该电路经过优化后效率非常高，可以在140 VAC到320 VAC的输入电压范围内提供精确的输入电压调整和负载调整，并且PF大于0.9，在230 VAC下THD小于20%。

输入级

保险丝F1提供开路保护，在发生严重元件故障时将电路与AC输入隔离。压敏电阻RV1可将任何电压尖峰箝位至安全的水平，对保险丝后面的电路提供保护，使其不会受到输入电压瞬态变化或浪涌所导致的过压造成的损坏。桥式二极管BR1对AC输入电压进行整流，并对输入滤波电容C3和C4提供全波整流直流电压。该电路采用了2级LC EMI滤波器（由C1、L1、C2、L2和C3形成），可对PFC和反激开关级产生的差模和共模噪声进行抑制。

初级反激级

大容量电容C4提供输入线路纹波电压滤波，并提供能量存储，将直流电压供电给反激级。变压器(T1)初级绕组的一端连接到大容量电容(C4)的正极，另一端连接到LYTSwitch-6 IC (U1)内集成的650 V功率MOSFET的漏极引脚。电容C4还对差模电流进行滤波，有助于降低传导EMI噪声。低成本RCD初级箝位包括D4、R2//R15及R3//C7，它可以限制变压器漏

感产生的电压尖峰，漏感出现在LYTSwitch-6 IC内部的功率MOSFET的漏极和源极引脚。使用箝位稳压管VR1来箝位在320 VAC下启动进入满载时的漏极电压尖峰。RCD初级箝位电路还可降低辐射及传导EMI。大容量电容(C4)的电压通过输入过压引脚电阻(R4及R12)进行检测并转换为电流，并且提供输入过压和电压缓升检测。过压阈值电流(I_{OV+})决定了输入过压阈值，而欠压缓升阈值电流(I_{UV+})决定了导通电压。

LYTSwitch-6 IC具有自启动功能，当首次AC上电时，它使用内部高压电流源对初级旁路引脚电容(C6)进行充电。在正常工作期间，初级侧控制器从变压器T1的辅助绕组获得供电。所使用的初级旁路引脚电容C6的值为470 nF，该值可设置标准限流点。辅助（或偏置）绕组的输出端由二极管D3进行整流，并由电容C5进行滤波。电阻R1可限制提供给初级旁路引脚的电流大小。

功率因数校正

功率因数校正电路由电感(T2)和与之串联的阻断二极管(D1和D5)组成，阻断二极管连接到LYTSwitch-6 IC的漏极引脚。高功率因数校正通过利用在非连续导通模式(DCM)下工作的开关填充式单级PFC (SVFS²PFC)电路实现。来自电感T2的DCM开关电流形成输入电流波形，并在C3的整流电压低于C4的直流电压时产生正弦曲线。高功率因数由此实现。

在MOSFET导通期间，能量存储在PFC电感(T2)和反激式变压器(T1)中。在MOSFET关断期间，来自PFC和反激式电感的能量都会通过反激式变压器T1传输至次级侧。

二极管D2将C3的整流AC输入与C4隔离，并为大容量电容C4的充电提供电流通路（特别是在低输入电压下），这样可提高效率。续流二极管D1和D5为存储在PFC电感中的能量提供路径，此能量在MOSFET关断期间传输至次级侧。二极管D1和D5进行串联，能够在MOSFET关断期间耐受来自PFC电感的电压谐振振荡。

在空载或轻载（也即，< 10%负载）时，存储在PFC电感(T2)中的能量可能大于次级负载所需的能量，来自PFC电感的多余能量会重新传输至大容量电容C4，从而升高电平。稳压管-电阻箝位电路（VR2和VR3与R19串联）跨接在大容量电容C4之间，可将电压升高控制在安全水平。该稳压管箝位电压应 $\leq 500\text{ V}$ （大容量电容C4的最大额定电压）。发生输入浪涌或瞬态变化时，过压将会触发IC关断。

次级控制级

LYTSwitch-6 IC的次级侧控制提供输出恒压和输出恒流。变压器的次级分别由SR FET Q1整流和由输出电容C10及C16滤波。在SR FET上添加一个RC缓冲器（R7及C9）可降低其电压应力。

IC的次级侧可由次级绕组正向电压通过正激引脚或由输出电压通过输出电压引脚自行供电。电容C13连接到LYTSwitch-6 IC (U1)次级旁路引脚，可提供内部电路去耦。

在恒压工作时，通过网络分压电阻R8和R9检测输出电压可实现输出电压调整。R9的电压通过反馈引脚进行监测，并与1.265 V的内部参比电压阈值进行比较，以维持调整精度。旁路电容C11置于反馈引脚和次级接地引脚之间，用于滤除高频噪声，高频噪声可能会耦合至反馈信号并造成群脉冲等不必要的干扰。

恒流工作时，最大输出电流由检测电阻R18设置；为维持恒流调整，检测电阻的电压将与35.9 mV的电流检测引脚内部参考阈值进行比较。二极管D6与电流检测电阻R18并联，可箝位电流检测引脚与次级接地引脚之间的电压，防止输出电容在输出短路时产生大电流浪涌。

采用辅助绕组和三合一DALI调光的应用设计范例

图35所示为DER-740的电路图。请参阅DER-740了解详细信息。

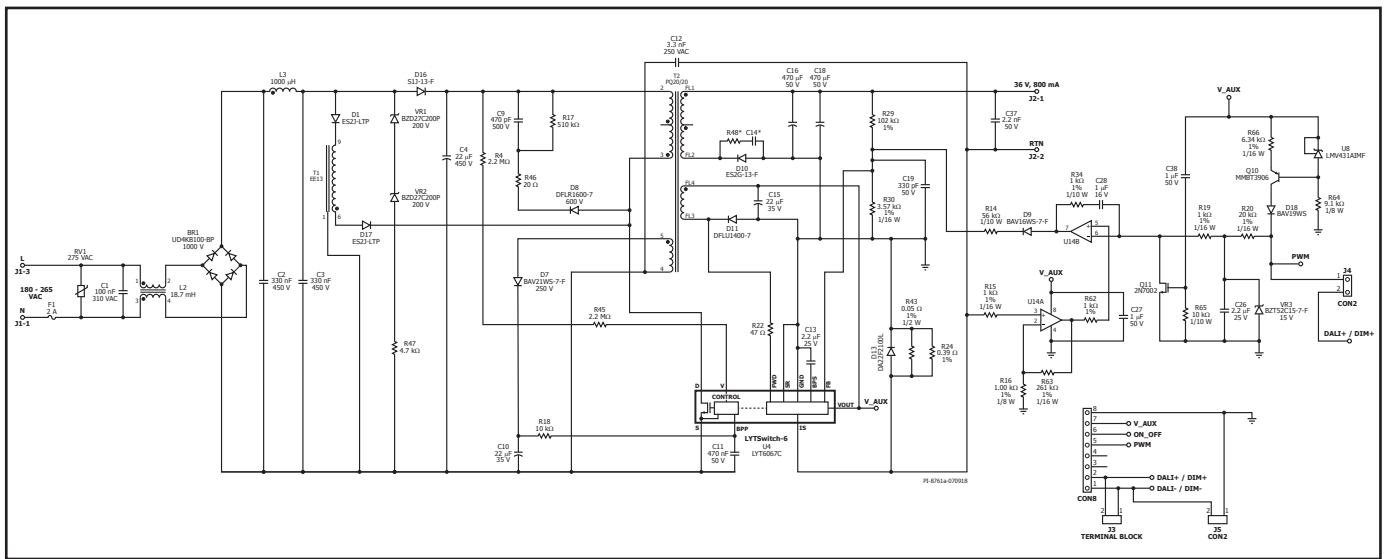


图35. DER-740电路原理图

附件 – LYTSwitch-6及SVFS²PFC电路分析

概述

SVFS²PFC代表开关填充式单级功率因数校正。在LYTSwitch-6反激电路前面放置小容量电容 C_{FILTER} 、阻断二极管 D_{PFC} 和 D_{BLOCK} 以及PFC电感 L_{PFC} 可形成此电路。

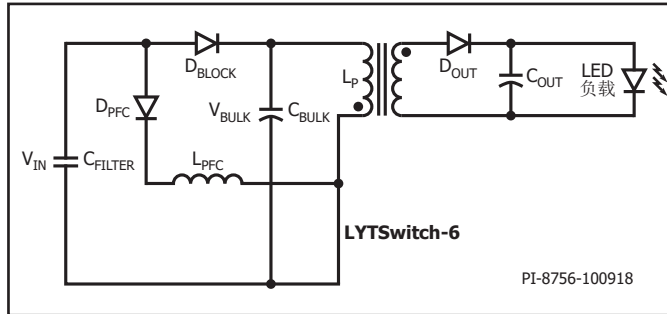


图36. 简化的SVFS²PFC电路图

除了实现0.9以上的功率因数外，此电路的主要优势是可以消除低频输出电流纹波（见图37）。

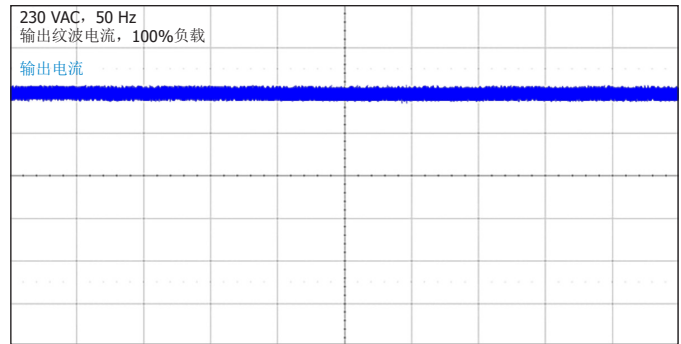


图37. 使用LYTSwitch-6 + SVFS²PFC时的输出电流纹波特征

SVFS²PFC电路分析

假定：

- 反激电路采用DCM或CCM工作模式。
- PFC电感处于DCM。需要通过此模式实现较高的功率因数。
- 整流输入电压 V_{IN} 接近过零点。
- 体电压电容已经预充电。

t0到t1 – 初级FET导通

PFC电流 I_{PFC}

FET导通时，PFC二极管 D_{PFC} 将被正向偏置。电流将从输入端流到PFC电感。PFC电流将根据下列公式所定义的关系开始增大：

$$\frac{di_{PFC}}{dt_{(t_0-t_1)}} = \frac{V_{IN}}{L_{PFC}}$$

在DCM中，峰值PFC电流的计算公式如下：

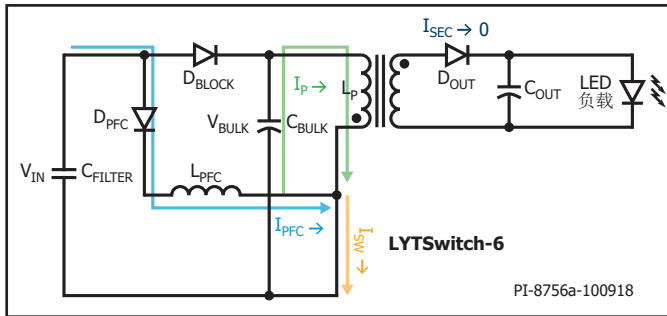


图38. 电流从t0流向t1

$$I_{PFC(PEAK), t_0 - t_1} = \frac{V_{IN}}{L_{PFC}} \times t_{ON}$$

初级绕组电流 I_P

初级变压器电流斜率的计算公式如下：

$$\frac{di_P}{dt_{(t_0-t_1)}} = \frac{V_{BULK}}{L_P}$$

峰值初级绕组电流 I_P 的计算公式如下：

$$I_{P(PEAK), t_0 - t_1} = \frac{V_{BULK}}{L_P} \times t_{ON}$$

LYTSwitch-6开关电流 I_{SW}

开关电流 I_{SW} 为来自PFC电感的电流 I_{PFC} 与来自变压器绕组的电流 I_P 之和。

$$I_{SW(t_0-t_1)} = I_{PFC} + I_P$$

PFC电流的占比要小于反激电路的占比，因为整流输入电压 V_{IN} 在此时非常低。

随着 V_{IN} 升高，PFC电流将增大，而反激电流将减小。

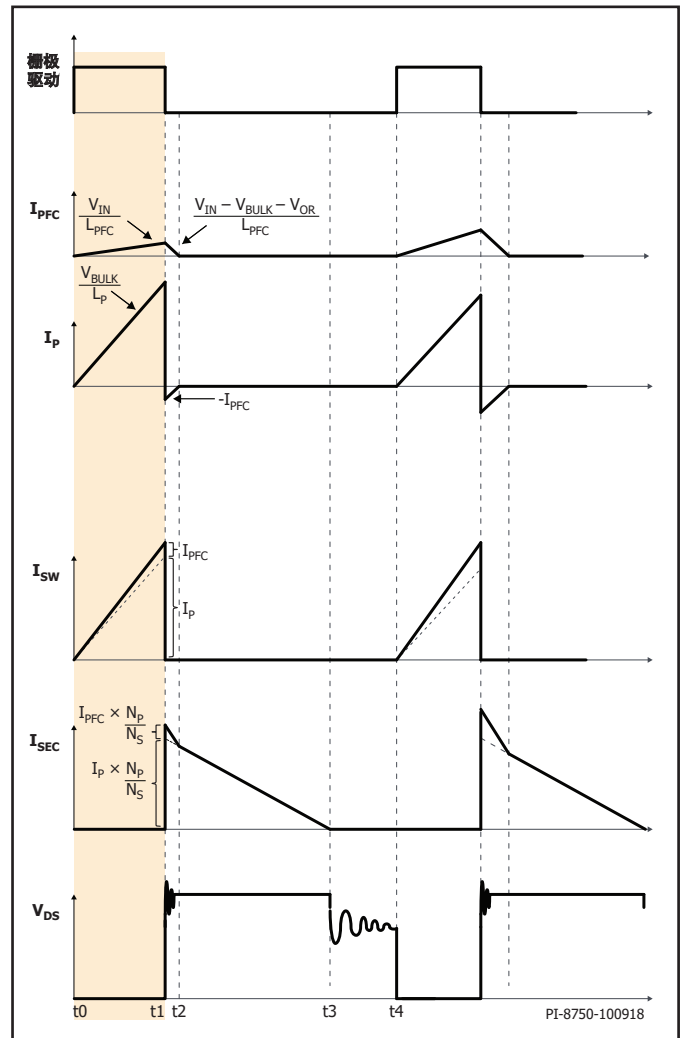


图39. SVFS²PFC时序图，从t0到t1

t1到t2 – 初级FET关断

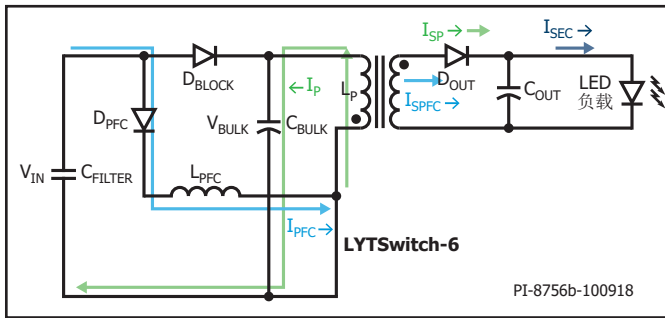


图40. 电流从t1流向t2

PFC电流 I_{PFC}

FET关断时，存储在PFC中的能量将通过反激式变压器传输至次级侧。同时，电流将流经变压器绕组进入大容量电容。

进入初级绕组的PFC电流的斜率可根据下列公式计算：

$$\frac{di_{PFC}}{dt_{(t1-t2)}} = \frac{V_{IN} - V_{BULK} - V_{OR}}{L_{PFC}}$$

对于次级， I_{SPFC} 计算如下：

$$I_{SPFC(t1-t2)} = \frac{N_P}{N_S} \times I_{PFC}$$

初级绕组电流 I_P

与反激电路不同，电流将从反激式变压器的绕组流回到大容量电容。电流为负向电流，因为它以相反方向流动且等于PFC电流。

次级二极管电流 I_{SEC}

次级二极管将被正向偏置，并为LED负载供电。二极管电流包含了反激式变压器存储的能量和来自PFC电感的能量。如果整流输入电压偏低，次级二极管电流主要来自反激式变压器。随着整流输入电压升高，PFC电流的占比将增大，而反激式变压器的占比则减小。

$$I_{SEC(t1-t2)} = \frac{N_P}{N_S} \times (I_{PFC} + I_P)$$

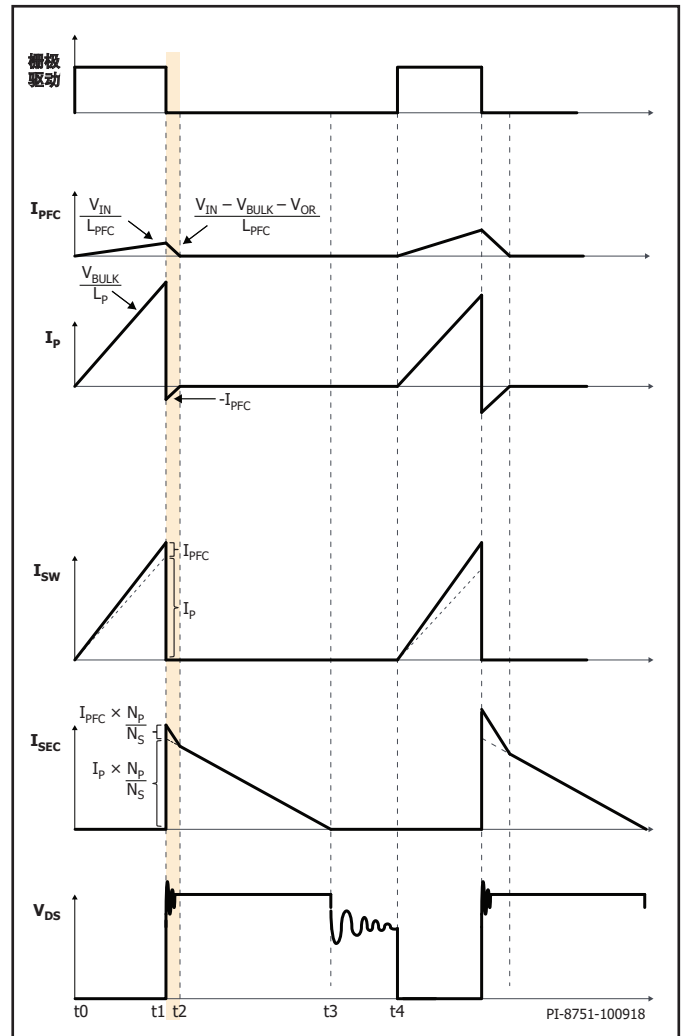


图41. SVFS²PFC时序图，从t1到t2

t2到t3 – PFC能量完全放电

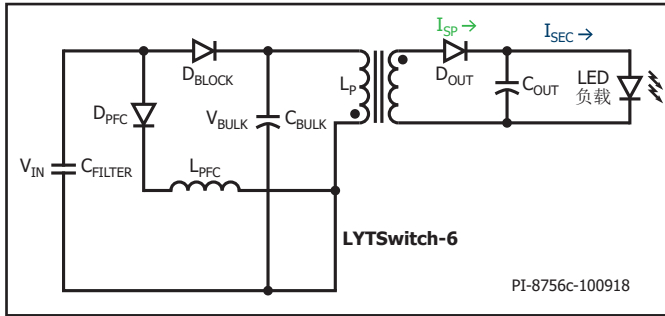


图42. 电流从t2流向t3

PFC电流 I_{PFC}

PFC电感用于DCM工作模式。在时间t2，存储在PFC电感中的能量已被耗尽。

初级绕组电流 I_p

不会有更多的电流流入初级绕组。

次级二极管电流 I_{SEC}

二极管电流仅包含来自反激式变压器所存储的能量。

$$I_{SEC(t2-t3)} = \frac{N_P}{N_S} \times I_P$$

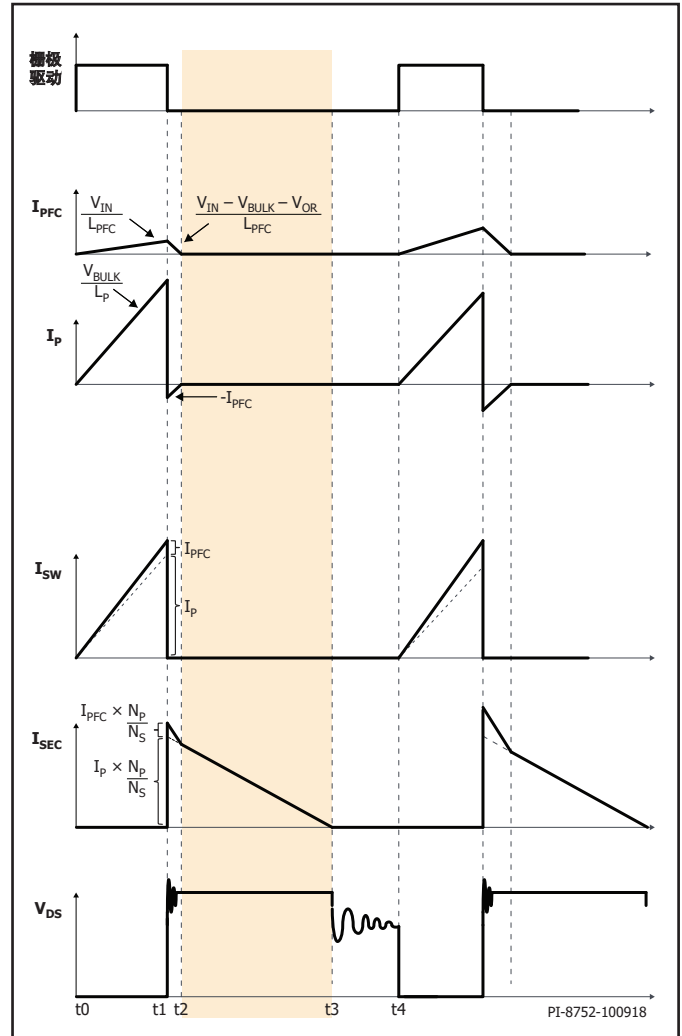


图43. SVFS²PFC时序图，从t2到t3

t3到t4 – PFC能量完全放电

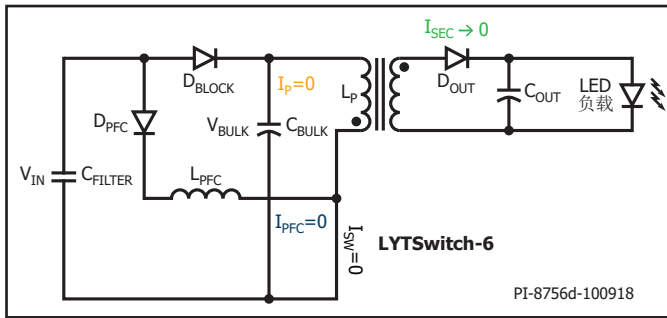


图44. 无电流从t3流向t4

如果器件处于非连续导通模式(DCM), 仅出现t3到t4的时间。

下一开关周期中的变化

在下一开关周期中, 整流输入电压 V_{IN} 会升高。根据PFC电感的计算公式, 峰值PFC电流也将随之增大, 而初级绕组电流则会减小。

一个工频周期内的合并波形

总结:

- PFC电流 I_{PFC} 的波形与输入电压的波形保持一致。
- 初级绕组电流在过零点处是最大值, 并且在 90° 相位角下是最小值。
- 漏极电流在过零点处是最小值, 并且随着输入电压升高而增大。
- 开关频率在过零点处是最小值, 并且随着输入电压升高而增大。

是否实现了高PF?

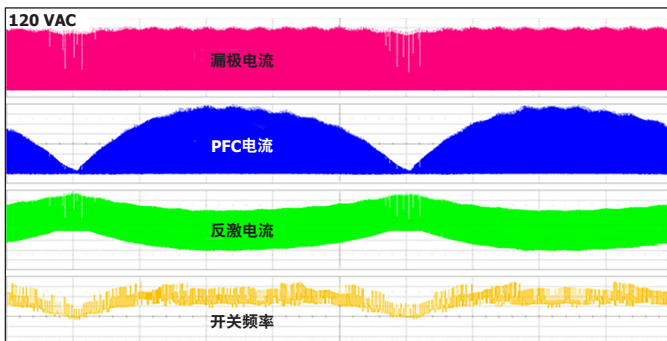


图45. 电流波形, 1个工频周期

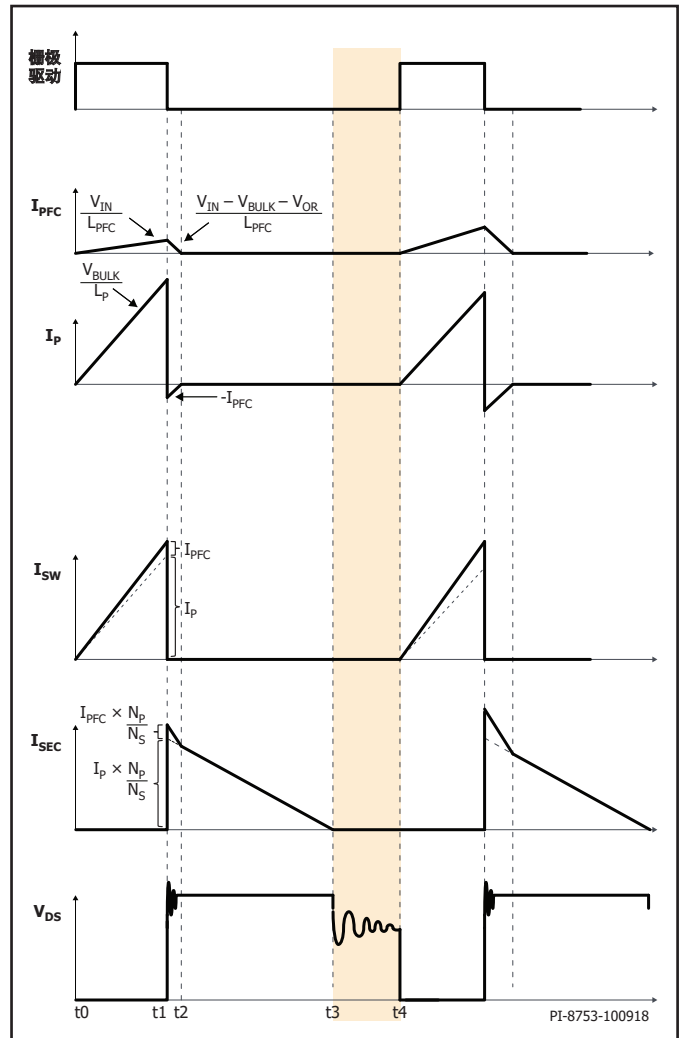


图46. SVFS²PFC时序图, 从t3到t4

参见图47，输入电流是PFC电流 I_{PFC} 与 I_{DBLOCK} （大容量电容从输入端所吸取的电流）之和。这种关系构成了术语“开关填谷”的基础——只要大容量电容从输入端吸取电流，PFC电路就会填充“波谷”。

图48所示为非PF反激式变换器的典型输入电流波形。此时，大容量电容为电路供电。变换器从输入端吸取电流的唯一时间点是当体电压降到输入电压以下时。典型导通时间为3 ms。

借助SVFS²PFC电路，PFC电路可以产生准正弦输入电流，大幅提高功率因数（见图49）。

作为额外收获，在较高输入电压下PF和THD值也有所提高（见图50）。这是因为PFC电路还可以在每个开关周期为大容量电容重新填充能量。在高输入电压下，如果PFC电路提供给大容量电容的能量大于变换器吸取的能量，就会导致体电压升高。有些设计可以提高体电压，使其始终

高于输入电压（见图51）。因此，输入电流安全取决于跟随输入电压的PFC电流，进而可提高功率因数。

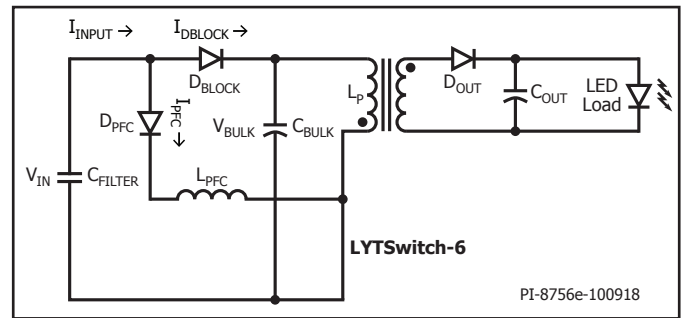


图47. 输入电流流向，SVFS²PFC

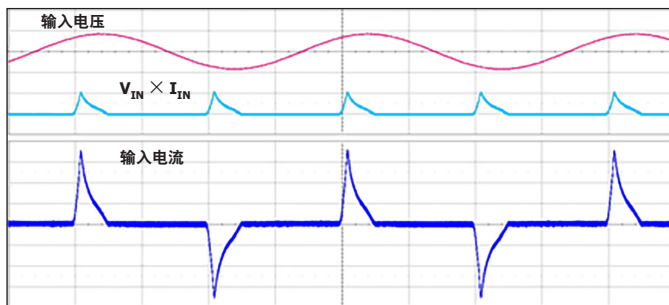


图48. 输入电流波形，典型的非PF反激，120 VAC

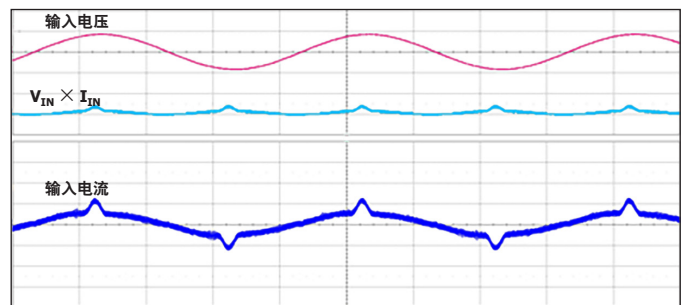


图49. 输入电流波形，SVFS²PFC + LYTSwitch-6反激，120 VAC

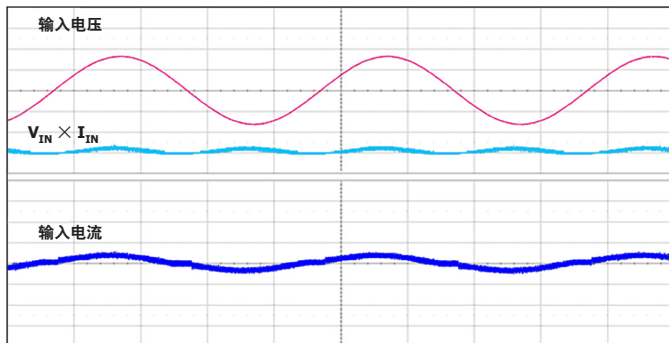


图50. 输入电流波形，SVFS²PFC + LYTSwitch-6反激，230 VAC

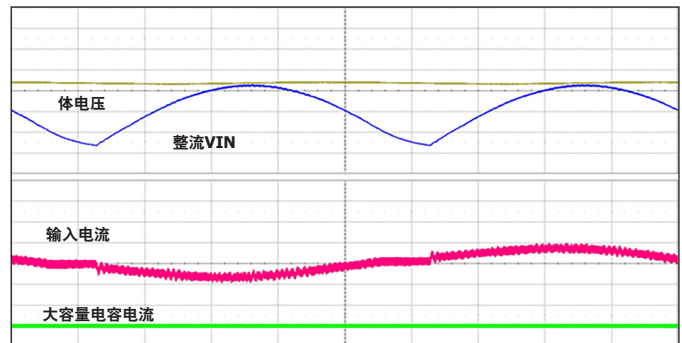


图51. 体电压波形，SVFS²PFC + LYTSwitch-6反激，230 VAC

| 修订版本 | 注释 | 日期 |
|------|------------|-------|
| A | 初始版本。 | 10/18 |
| B | 更新了第2页的图2。 | 01/19 |

有关最新产品信息，请访问：www.power.com

Power Integrations reserves the right to make changes to its products at any time to improve reliability or manufacturability. Power Integrations does not assume any liability arising from the use of any device or circuit described herein. POWER INTEGRATIONS MAKES NO WARRANTY HEREIN AND SPECIFICALLY DISCLAIMS ALL WARRANTIES INCLUDING, WITHOUT LIMITATION, THE IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF THIRD PARTY RIGHTS.

Patent Information

The products and applications illustrated herein (including transformer construction and circuits external to the products) may be covered by one or more U.S. and foreign patents, or potentially by pending U.S. and foreign patent applications assigned to Power Integrations. A complete list of Power Integrations patents may be found at www.power.com. Power Integrations grants its customers a license under certain patent rights as set forth at www.power.com/ip.htm.

Life Support Policy

POWER INTEGRATIONS PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF POWER INTEGRATIONS. As used herein:

1. A Life support device or system is one which, (i) is intended for surgical implant into the body, or (ii) supports or sustains life, and (iii) whose failure to perform, when properly used in accordance with instructions for use, can be reasonably expected to result in significant injury or death to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

Power Integrations, the Power Integrations logo, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, SCALE, SCALE-1, SCALE-2, SCALE-3 and SCALE-iDriver, are trademarks of Power Integrations, Inc. Other trademarks are property of their respective companies. ©2019, Power Integrations, Inc.

Power Integrations全球销售支持网络

全球总部

5245 Hellyer Avenue
San Jose, CA 95138, USA
Main: +1-408-414-9200
Customer Service:
Worldwide: +1-65-635-64480
Americas: +1-408-414-9621
e-mail: usasales@power.com

中国（上海）

徐汇区漕溪北路88号圣爱广场
1601-1603室
上海|中国, 200030
电话: +86-21-6354-6323
电子邮箱: chinasales@power.com

中国（深圳）

南山区科技南八路二号豪威科技大厦
17层
深圳|中国, 518057
电话: +86-755-8672-8689
电子邮箱: chinasales@power.com

德国（AC-DC/LED业务销售）

Einsteinring 24
85609 Dornach/Aschheim
Germany
Tel: +49-89-5527-39100

德国（门极驱动器销售）

HellwegForum 1
59469 Ense
Germany
Tel: +49-2938-64-39990
e-mail: igbt-driver.sales@power.com

印度

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
Phone: +91-80-4113-8020
e-mail: indiasales@power.com

意大利

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI) Italy
Phone: +39-024-550-8701
e-mail: eurosales@power.com

日本

Yusen Shin-Yokohama 1-chome Bldg.
1-7-9, Shin-Yokohama, Kohoku-ku
Yokohama-shi,
Kanagawa 222-0033 Japan
Phone: +81-45-471-1021
e-mail: japansales@power.com

韩国

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
Phone: +82-2-2016-6610
e-mail: koreasales@power.com

新加坡

51 Newton Road
#19-01/05 Goldhill Plaza
Singapore, 308900
Phone: +65-6358-2160
e-mail: singaporesales@power.com

中国台湾

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei 11493, Taiwan R.O.C.
Phone: +886-2-2659-4570
e-mail: taiwansales@power.com

英国

Building 5, Suite 21
The Westbrook Centre
Milton Road
Cambridge
CB4 1YG
Phone: +44 (0) 7823-557484
e-mail: eurosales@power.com